



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年11月17日

出願番号

Application Number:

特願2000-351894

出願人

Applicant(s):

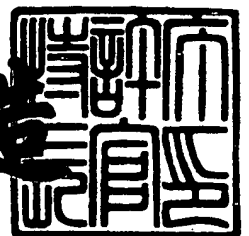
ソニー株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年10月19日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3091141



#1

0300
M

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Hisato Hirasaka
Serial No.: 09/992,606
Filed : November 14, 2001
For : SIGNAL-PROCESSING CIRCUIT, AND RECORDING
AND PLAYBACK APPARATUS EMPLOYING THE SAME

I hereby certify that this paper is being deposited this date with the U.S. Postal Service in first class mail addressed to Assistant Commissioner for Patents, Washington, D.C. 20231.

Jay H. Maioli
Reg. No. 27,213

Date
December 13, 2001

December 13, 2001
1185 Avenue of the Americas
New York, NY 10036
(212) 278-0400

CLAIM FOR PRIORITY AND DOCUMENT SUBMISSION

Assistant Commissioner of Patents and Trademarks
Washington, D.C. 20231

Sir:

A claim for priority under the provision of 35 USC 119 is hereby entered in the above-identified application.

In support thereof enclosed is a certified copy of Japanese Patent Application No. P2000-351894 filed on November 17, 2001.

Entrance of the priority claim is solicited.

Respectfully submitted,
Cooper & Dunham LLP

Jay H. Maioli
Reg. No. 27,213

File No. : 7217/65952
JHM:ma
Enc.

【書類名】 特許願

【整理番号】 0000569802

【提出日】 平成12年11月17日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G11B 20/12

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 平坂 久門

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100067736

【弁理士】

【氏名又は名称】 小池 晃

【選任した代理人】

【識別番号】 100086335

【弁理士】

【氏名又は名称】 田村 榮一

【選任した代理人】

【識別番号】 100096677

【弁理士】

【氏名又は名称】 伊賀 誠司

【手数料の表示】

【予納台帳番号】 019530

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707387

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 信号処理回路

【特許請求の範囲】

【請求項 1】 再生信号をデジタル化した再生データが第 1 の等化回路を介して入力されるフェーズロックドループ(PLL:Phase Locked Loop) 回路を備える信号処理回路であって、

上記第 1 の等化回路をトランスバーサルフィルタにて構成したことを特徴とする信号処理回路。

【請求項 2】 上記第 1 の等化回路を適応等化することを特徴とする請求項 1 記載の信号処理回路。

【請求項 3】 上記 PLL 回路の後段に配置した第 2 の等化回路を備え、

上記第 1 の等化回路のサンプリング周波数がチャネルクロック周波数に略等しくされ、上記第 1 の等化回路の次伝達特性が当該第 1 の等化回路の現伝達特性×上記第 2 の等化回路の現伝達特性に等しくされ、かつ、上記第 2 の等化回路の次伝達特性をフラット化されることを特徴とする請求項 1 記載の信号処理回路。

【請求項 4】 上記第 1 の等化回路と上記第 2 の等化回路にトランスバーサルフィルタを用い、上記第 1 の等化回路の次タップ係数を上記第 1 の等化回路の現タップ係数と第 2 の等化回路の現タップ係数の畳み込み積分の結果とすることで等伝達特性を得ることを特徴とする請求項 3 記載の信号処理回路。

【請求項 5】 上記 PLL 回路の後段に配置した適応等化回路を備え、

上記適応等化回路が出力するタップ係数更新情報を

k 番目の次タップ係数 = k 番目の現タップ係数 + k 番目のタップ係数更新情報として上記第 1 の等化回路のタップ係数に作用させ、上記第 1 の等化回路を適応等化することを特徴とする請求項 2 記載の信号処理回路。

【請求項 6】 上記 PLL 回路の後段に配置した第 2 の等化回路を備え、

上記第 1 の等化回路のサンプリング周波数 > チャネルクロック周波数とされ、上記第 1 の等化回路の次伝達特性が、上記第 2 の等化回路の周波数帯域内に当たる帯域 a と上記第 2 の等化回路の周波数帯域外に当たる帯域 b に分けて、上記第 1 の等化回路の帯域 a の次伝達特性が当該第 1 の等化回路の帯域 a の現伝達特性

×上記第2の等化回路の現伝達特性とされ、上記第1の等化回路の帯域bの次伝達特性=0とされ、かつ、上記第2の等化回路の次伝達特性がフラット化されることを特徴とする請求項1記載の信号処理回路。

【請求項7】 上記第1の等化回路と上記第2の等化回路にトランスバーサルフィルタを用い、

上記第1の等化回路のサンプリング周波数=S1、チャネルクロック周波数=f_cとして、

上記第1の等化回路の現タップ係数をf_c/S1間引きしたタップ係数Aと上記第2の等化回路の現タップ係数Bの畳み込み積分を行い

$C = A * B$ (*は畳み込み積分を示す)

なる畳み込み積分結果Cを得て、

この畳み込み積分結果CをS1/f_c倍補間してタップ係数Dを求め、

このタップ係数Dを上記第1の等化回路の次タップ係数とすることを特徴とする請求項6記載の信号処理回路。

【請求項8】 上記第1の等化回路と上記第2の等化回路にトランスバーサルフィルタを用い、

上記第1の等化回路のサンプリング周波数=S1、チャネルクロック周波数=f_cとして、

上記第1の等化回路の現タップ係数Aと上記第2の等化回路の現タップ係数をS1/f_c倍補間したタップ係数Bの畳み込み積分を行い

$C = A * B$ (*は畳み込み積分を示す)

なる畳み込み積分結果Cを得て、

この畳み込み積分結果Cを上記第1の等化回路の次タップ係数とすることを特徴とする請求項6記載の信号処理回路。

【請求項9】 上記PLL回路の後段に配置した適応等化回路を備え、

チャネルクロック周波数f_cと上記第1の等化回路のサンプリング周波数S1との関係をf_c<S1とし、

上記第1の等化回路の現タップ係数をf_c/S1間引きしたタップ係数Aを求め、

タップ係数Aのk番目の次タップ係数=タップ係数Aのk番目の現タップ係数
+ k番目のタップ係数更新情報

にて上記タップ係数Aの次タップ係数を計算し、

上記タップ係数Aの次タップ係数を $S1/f_c$ 補間したタップ係数Bを上記第1の等化回路の次タップ係数として上記第1の等化回路を適応等化することを特徴とする請求項2記載の信号処理回路。

【請求項10】 再生信号をサンプリングしてデジタル化するアナログ・デジタル変換器(ADC: analog-to-digital converter)と、

上記ADCの出力が供給されるデジタル・フェーズロックドループ(PLL: Phase Locked Loop) 回路を備え、

上記ADCの出力をデジタル信号のまま上記デジタル・PLL回路に入力し、検出点電圧を取り出すことを特徴とする信号処理回路。

【請求項11】 上記ADCと上記デジタル・PLL回路との間に配置されたデジタルトランスバーサルフィルタからなる第1の等化回路を備えることを特徴とする請求項10記載の信号処理回路。

【請求項12】 上記第1の等化回路と上記デジタル・PLL回路との間に配置され、チャネルクロック周期に近いまばらなサンプリングデータを補間する補間回路を備えることを特徴とする請求項11記載の信号処理回路。

【請求項13】 上記ADCのサンプリング周波数は、チャネルクロック周波数と略等しいことを特徴とする請求項12記載の信号処理回路。

【請求項14】 上記補間回路は、補間用トランスバーサルフィルタとR倍補間回路とを備え、

上記補間用トランスバーサルフィルタのタップをRおきに間引くこと特徴とする請求項12記載の信号処理回路。

【請求項15】 上記R倍補間回路は、R個のトランスバーサルフィルタを用いて、パラレル化されていることを特徴とする請求項14記載の信号処理回路。

【請求項16】 上記補間回路は、トランスバーサルフィルタによる低倍率補間回路と、この低倍率補間回路の後段に配置されたQ倍直線補間回路とからなることを請求項12記載の信号処理回路。

【請求項17】 上記Q倍直線補間回路をQ個の線補間回路を用いて、平行化されていることを特徴とする請求項16記載の信号処理回路。

【請求項18】 上記PLL回路は、 $R \times Q$ 平行化された $S \times R \times Q$ 倍補間データ系列が上記補間回路から入力され、 $S > 1$ の場合に、同平行データから、検出点に最も近いデータを0又は1つセレクトするデータセクタと、上記データセクタを制御する1つの検出点計算回路と、検出点の個数(0, 1)を報知する回路を備えることを特徴とする請求項12記載の信号処理回路。

【請求項19】 上記PLL回路は、 $R \times Q$ 平行化された $S \times R \times Q$ 倍補間データ系列が上記補間回路から入力され、 $S \leq 1$ の場合に、同平行データから、検出点に最も近いデータを0又は1つ又は2つセレクトするための2つのデータセクタと、データセクタを制御する2つの検出点計算回路と、検出点の個数(0, 1, 2)を報知する回路を備えることを特徴とする請求項12記載の信号処理回路。

【請求項20】 上記PLL回路は、 $P \times R \times Q$ 平行化された $S \times R \times Q$ 倍補間データ系列が上記補間回路から入力され、同平行データから検出点に最も近いデータを最大検出点個数セレクトするための D_{\max} 個のデータセクタと、 D_{\max} 個のデータセクタを制御する D_{\max} 個の検出点計算回路と、検出点の個数を報知する回路を備えることを特徴とする請求項12記載の信号処理回路。

【請求項21】 上記PLL回路は、間引き間隔を d 、間引き周期補正量 Δd として、

$$d = d \pm \Delta d$$

で更新され、周波数偏差を吸収する間引き周期補正手段を備え、

上記間引き周期補正手段に与えられる間引き周期補正量 Δd の値が応答速度に応じて切り換えられることを特徴とする請求項11記載の信号処理回路。

【請求項22】 上記PLL回路の出力が書き込まれ、その内容が別の読み出しクロックで読み出されるバッファメモリが上記PLL回路の後段に配置されていることを特徴とする請求項11記載の信号処理回路。

【請求項23】 上記バッファメモリは、2バンク構成とされ、 $S \leq 1$ にした

とき、上記PLL回路から出力される奇数番目検出点データと偶数番目検出点データが上記2バンク構成のバッファメモリに振り分けて書き込まれることを特徴とする請求項22記載の信号処理回路。

【請求項24】 上記バッファメモリは、 $P \times R \times Q$ パラレル化された $S \times R \times Q$ 倍補間データ系列が入力される上記PLL回路から同時出力される最大検出点個数 D_{max}

$$D_{max} = \text{Int}(P/S) + 1$$

をバンク数とする D_{max} バンク構成とされ、

上記PLL回路が報知する検出点個数を D ($D \leq D_{max}$)として、上記PLL回路から出力される検出点データが上記 D バンクのバッファメモリに書き込まれることを特徴とする請求項22記載の信号処理回路。

【請求項25】 上記バッファメモリの読み出しクロックは、チャネルクロック周波数よりも高いことを特徴とする請求項22記載の信号処理回路。

【請求項26】 上記バッファメモリは、データエンプティ時にデータエンプティ信号を出力するバッファエンプティ検出回路を備え、上記データエンプティ信号で後段回路の動作を停止させることを特徴とする請求項25記載の信号処理回路。

【請求項27】 上記読み出しクロックを生成する電圧制御型発振器(VCO: voltage controlled oscillator)を備えることを特徴とする請求項22記載の信号処理回路。

【請求項28】 上記バッファメモリがデータエンプティにもデータオーバーフローにもならないように上記VCOの発振周波数を制御することを特徴とする請求項27記載の信号処理回路。

【請求項29】 上記バッファメモリの読み出しアドレスが、

(書き込みアドレス-読み出しアドレス) > 最大化

になるように上記VCOを帰還制御することを特徴とする請求項28記載の信号処理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、磁気記録媒体や光記録媒体に記録された情報を再生する再生系の信号処理回路に関し、再生信号をデジタル化した再生データが第1の等化回路を介して入力されるフェーズロックドループ(PLL:Phase Locked Loop)回路を備える信号処理回路に関する。

【0002】

【従来の技術】

DDS (Digital Data Storage) 4規格に準拠したテープストリーマでは、例えば、図65に示すような回路構成の記録系110と図66に示すような構成の再生系120により、磁気テープ130を介してデータの記録／再生を行う。

【0003】

すなわち、DDS 4規格に準拠したテープストリーマの記録系110では、図65に示すように、記録データが8/10変換部111によりブロック符号の1種である8/10変換される。そして、8/10変換された記録データが、記録増幅器112で電流に変換されてロータリトランス113を介して記録ヘッド114に供給され、この記録ヘッド114を介して磁気テープ130に記録される。

【0004】

また、上記テープストリーマの再生系120では、図66に示すように、磁気テープ130から再生ヘッド121により得られる再生RF信号が再生増幅器122で増幅されてロータリトランス123を介して第1の等化回路124に供給される。ここで、DDS 4規格ではチャンネル伝達特性としてパーシャルレスポンスクラス1 (PR1)を採用しているので、上記記録系110の記録増幅器112から再生系120の第1の等化回路124の出力までの伝達特性が図67に示すPR1伝達特性になるべく近づくように、上記第1の等化回路124の伝達特性が調整される。そして、第1の等化回路124の出力信号からPLL回路125によってチャンネルクロックが抽出され、このチャンネルクロックで駆動されるアナログ・デジタル変換器(ADC: analog-to-digital converter)126により、図68に示すように、上記第1の等化回路124の出力信号の検出点電圧がサンパ

リングされる。

【 0 0 0 5 】

上記 A D C 1 2 6 により得られたサンプリングデータは、第 2 の等化回路 1 2 7 でより精密に等化され、等化誤差がミニマイズされてから、ビタビデコーダ 1 2 8 で 2 値信号とされる。上記第 2 の等化回路 1 2 7 は、第 1 の等化回路 1 2 4 の低精度性を補う役割を担う。

【 0 0 0 6 】

すなわち、このテープストリーマの再生系 1 2 0 では、P L L 回路 1 2 5 の前後に設けた第 1 の等化回路 1 2 4 と第 2 の等化回路 1 2 7 により 2 段階等化を行っている。

【 0 0 0 7 】

そして、ビタビデコーダ 1 2 8 により得られた 2 値信号は、1 0 / 8 変換部 1 2 9 で 1 0 / 8 変換され、再生データとして出力される。

【 0 0 0 8 】

この再生系 1 2 0 における 1 0 / 8 変換部 1 2 9 による 1 0 / 8 変換は、上記記録系 1 1 0 における 8 / 1 0 変換部 1 1 1 による 8 / 1 0 変換に対応する逆変換処理である。

【 0 0 0 9 】

【発明が解決しようとする課題】

ところで、D D S 4 規格に準拠した上記テープストリーマの再生系 1 2 0 では、上記第 1 の等化回路 1 2 4 にアナログ C R フィルタが採用され、第 2 の等化回路 1 2 7 には適応等化回路 1 2 7 A で制御されるデジタルトランスバーサルフィルタが採用されている。第 1 の等化回路 1 2 4 は A D C 1 2 6 の前段でアナログ信号を扱うのでアナログ C R フィルタが相応しく、また、第 2 の等化回路 1 2 7 はデジタル信号を扱うのでデジタルトランスバーサルフィルタが望ましい。

【 0 0 1 0 】

アナログ C R フィルタ及びデジタルトランスバーサルフィルタには、次の表 1 に示すような長所短所がある。

【 0 0 1 1 】

【表 1】

	精度・自由度	規模	場所
アナログCRフィルタ	悪い	簡単	A D C の前段
デジタルトランスバーサルフィルタ	良い	複雑	A D C の後段

【0012】

ここで、PLL回路125の前後に設けた第1の等化回路124と第2の等化回路127による2段階等化2段階等化が成立するためには、

第1の等化回路の出力信号のSN比>PLL回路の動作限界SN比なる前提が満たされる必要がある。すなわち、PLL回路125が正常に動作しなくなってしまうと第2の等化回路127が正常に動作しないので、第2の等化回路127による等化誤差ミニマイズを期待できなくなるのである。

【0013】

上記前提が満たされなくなるケースとしては、例えば、

- 1) 第1の等化回路の等化精度が低くてアイパターンが乱れている場合
 - 2) 再生信号が小さくてアイパターンが乱れている場合
- などが挙げられる。

【0014】

1) は再生ヘッド121が摩耗あるいは汚れて再生周波数特性が工場出荷時から変化してしまった場合に相当する。また、2) はオフトラックで再生信号が低下してしまった場合に相当する。

【0015】

どちらの場合にも、図69及び図70に示すように、アイパターンで観測すると見分けがつかない。

【0016】

1) の場合の対処は、第1の等化回路124の等化誤差をミニマイズすることにより、PLL回路の正常動作を確保し、その結果として、第2の等化回路12

7の正常動作を確保して、高信頼性を図るという戦略が成立する。

【0017】

また、2)の場合の対処は本質的にはオフトラックを防ぐべきであるが、等化誤差ミニマイズも有効である。なぜならば、第1の等化回路124の出力信号のアイパターン乱れはノイズによる乱れと等化誤差による乱れであるから、第1の等化回路124における等化誤差をミニマイズすることにより、小再生信号でもSN比劣化を少なくし、PLL回路125の正常動作を確保し、その結果として、第2の等化回路127の正常動作を確保して、高信頼性を図るという戦略が成立する。

【0018】

しかしながら、第1の等化回路124の等化誤差をミニマイズするには、アナログCRフィルタでは精度が低いので限界がある。

【0019】

また、デジタルトランスバーサルフィルタであればLMS法という収束性の良いアルゴリズムがあるが、アナログCRフィルタを自動コントロールする優れたアルゴリズムがない。

【0020】

また、図71に示すように、仮に第1の等化回路124にデジタルトランスバーサルフィルタ124Cを採用したと仮定すると、PLL回路125がアナログ信号入力を前提とするので、DACで再びアナログ信号に変換する必要がある。この場合はADC124BとDAC124DとLPF124A、124Eが必要なのでコストがかかる。

【0021】

また、図72に示すように、PLL回路125をデジタル入力タイプにする場合は、ADC124B及びデジタルトランスバーサルフィルタ124C及びチャネル周波数の10倍以上の高倍率サンプリング周波数で動作させなければならない。なぜなら、オーバーサンプリングレート別に計算したアイパターンを図73乃至図77に示してあるように、数倍程度のオーバーサンプリングではサンプリングデータ系列に検出点電圧を含まないからである。

【 0 0 2 2 】

2 倍オーバーサンプリング時の P R 1 チャンネル出力アイパターン例を図 7 3 に示してある。

【 0 0 2 3 】

3 倍オーバーサンプリング時の P R 1 チャンネル出力アイパターン例を図 7 4 に示してある。

【 0 0 2 4 】

4 倍オーバーサンプリング時の P R 1 チャンネル出力アイパターン例を図 7 5 に示してある。

【 0 0 2 5 】

6 倍オーバーサンプリング時の P R 1 チャンネル出力アイパターン例を図 7 6 に示してある。

【 0 0 2 6 】

1 0 倍オーバーサンプリング時の P R 1 チャンネル出力アイパターン例を図 7 7 に示してある。

【 0 0 2 7 】

これらはシミュレーションであるから 1 チャンネル周期に必ず検出点電圧を含んでいるが、現実の再生波形ではその限りではない。1 0 倍オーバーサンプリングぐらいであれば検出点近傍の電圧を含んでいると言えるが、6 倍以下ではサンプリング点がまばら過ぎて、誤差が大きい。

【 0 0 2 8 】

したがって、高オーバーサンプリングレート化しなくてはならないが、高倍率クロック回路は実現が難しく、また、消費電力も増加するという問題点がある。

【 0 0 2 9 】

また、P L L 回路 1 2 5 前段にアナログフィルタが必要な現状の技術では、

1) アナログ I C とデジタル I C の 2 チップ構成

2) アナログ、デジタル混載 I C の B I C M O S プロセスを利用する

このような選択肢しかなく、2 チップ構成はコストがかかり、小型化にも不利である。また、アナログ I C は消費電力が大きい。また、B I C M O S プロセスは

高価であり、さらに、アナログ、B I C M O S プロセスともに設計期間が C M O S デジタル I C より長いという問題点がある。

【 0 0 3 0 】

そこで、本発明は、上述の如き従来の各種問題点を解消することを目的とする。

【 0 0 3 1 】

すなわち、本発明の目的は、P L L 回路の前後に設けた 2 つの等化回路により 2 段階等化を行う信号処理回路における第 1 の等化回路による等化誤差をミニマイズできるようにした信号処理回路を提供することにある。

【 0 0 3 2 】

また、本発明の目的は、P L L 回路の前後に設けた 2 つの等化回路により 2 段階等化を行う信号処理回路における第 1 の等化回路の適応等化を可能にした信号処理回路を提供することにある。

【 0 0 3 3 】

さらに、本発明の目的は、アナログ回路を排除してデジタルトランスバーサルフィルタを採用することにより、製造が容易で消費電力の少ない信号処理回路を実現することにある。

【 0 0 3 4 】

【課題を解決するための手段】

本発明は、再生信号をデジタル化した再生データが第 1 の等化回路を介して入力されるフェーズロックドループ (PLL:Phase Locked Loop) 回路を備える信号処理回路であって、上記第 1 の等化回路をトランスバーサルフィルタにて構成したことを特徴とする。

【 0 0 3 5 】

また、本発明に係る信号処理回路は、再生信号をサンプリングしてデジタル化するアナログ・デジタル変換器 (ADC: analog-to-digital converter) と、上記 A D C の出力が供給されるデジタル・フェーズロックドループ (PLL:Phase Locked Loop) 回路を備え、上記 A D C の出力をデジタル信号のまま上記デジタル・P L L 回路に入力し、検出点電圧を取り出すことを特徴とする。

【 0 0 3 6 】

【 発 明 の 実 施 の 形 態 】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【 0 0 3 7 】

図 1 は、本発明を適用した D D S (Digital Data Storage) 4 規格に準拠したテープストリーマの再生系の構成を示すブロック図である。

【 0 0 3 8 】

このテープストリーマの再生系 1 0 0 は、磁気テープ 1 から再生ヘッド 2 により得られる再生 R F 信号が再生増幅器 3 で増幅されてロータリトランス 4 を介して供給される第 1 の等化回路 1 0 を備える。

【 0 0 3 9 】

この第 1 の等化回路 1 0 は、ローパスフィルタ (LPF: low pass filter) 1 1 と、この L P F 1 1 を介して供給される上記再生 R F 信号を A D C クロックでサンプリングしてデジタル化するアナログ・デジタル変換器 (ADC: analog-to-digital converter) 1 2 と、この A D C 1 2 により上記再生 R F 信号がデジタル化されて入力されるトランスバーサルフィルタ 1 3 とからなる。

【 0 0 4 0 】

また、このテープストリーマの再生系 1 0 0 は、上記第 1 の等化回路 1 0 の出力信号が供給される補間回路 2 0 と、この補間回路 2 0 の出力信号が供給される P L L 回路 3 0 と、この P L L 回路 3 0 の出力信号が供給されるバッファメモリ 4 0 と、このバッファメモリ 4 0 の出力信号が供給されるトランスバーサルフィルタからなる第 2 の等化回路 5 0 と、第 2 の等化回路 5 0 の出力信号が供給されるビタビデコーダ 6 0 と、このビタビデコーダ 6 0 の出力信号が供給される 1 0 / 8 変換部 7 0 を備える。

【 0 0 4 1 】

さらに、このテープストリーマの再生系 1 0 0 は、上記第 2 の等化回路 5 0 の等化誤差を自動的にミニマイズするタップ係数を与える適応等化回路 8 0 と、この適応等化回路 8 0 により与えられる上記第 2 の等化回路 5 0 のタップ係数を上記第 1 の等化回路 1 0 に適したタップ係数に変換するタップ係数変換回路 9 0 を

備える。

【 0 0 4 2 】

このテープストリーマの再生系 1 0 0 において、上記 L P F 1 1 はアンチエイリアシングフィルタとして機能するもので、簡単なアナログ回路で構成することができる。

【 0 0 4 3 】

A D C クロックは、A D C 1 2 ～バッファメモリ 4 0 までのクロックであり、チャンネルクロックに対する倍率は 1 ～ 2 程度とされる。

【 0 0 4 4 】

また、上記第 1 の等化回路 1 0 を構成するトランスバーサルフィルタ 1 3 は、アナログ C R フィルタよりも高精度な等化を実現することができる。

【 0 0 4 5 】

また、補間回路 2 0 は、上記第 1 の等化回路 1 0 の出力信号として供給される低倍率サンプルデータを補間して高倍率サンプルデータを P L L 回路 3 0 に出力する。

【 0 0 4 6 】

また、上記 P L L 回路 3 0 は、上記補間回路 2 0 から供給される高倍率サンプルデータについて検出点電圧を見つけてバッファメモリ 4 0 に出力する。

【 0 0 4 7 】

また、上記バッファメモリ 4 0 は、上記 A D クロックと後段のクロックとの周波数の差を吸収するバッファとして機能するもので、上記 P L L 回路 3 0 から出されるサンプルデータが上記 A D C クロックで書き込まれて、読み出しクロックで読み出される。

【 0 0 4 8 】

また、上記第 2 の等化回路 5 0 を構成しているトランスバーサルフィルタは、適応等化回路 8 0 とともに動作し、等化誤差を自動的にミニマイズする。

【 0 0 4 9 】

また、上記ビタビデコーダ 6 0 は、上記第 2 の等化回路 5 0 から出力されるサンプルデータを 1, 0 の 2 値に変換して 2 値信号を生成する。

【0050】

そして、上記10/8変換部70は、上記ビタビデコーダ60により得られた2値信号を10/8変換して再生データとして出力する。

【0051】

このような構成のテープストリーマの再生系100では、第1の等化回路10にトランスバーサルフィルタ13を採用することで、等化自由度が増し、等化誤差をミニマイズすることができる。

【0052】

ここで、テープストリーマの再生系100では、再生ヘッド2と磁気テープ1が摺動するので、瞬時的あるいは恒久的に再生ヘッド2が汚れ、再生周波数応答が変化してしまう場合がある。再生ヘッド2の表面が汚れて磁気テープ1と再生ヘッド2との間の距離が大きくなるとスペーシングロスにより短波長再生感度が低下する。

【0053】

このテープストリーマの再生系100では、上述のように適応等化することにより、このようなケースでも動的に等化誤差をミニマイズすることかできる。

【0054】

なお、第2の等化回路50の伝達特性は第1の等化回路10の等化しそこない特性という関係にあるので、第1の等化回路10に求められる伝達特性は、第2の等化回路50の伝達特性から算出でき、第1の等化回路10の伝達特性を第2の等化回路50の伝達特性に等しくすれば、第1の等化回路10の適応等化を実施したことになる。デジタルトランスバーサルフィルタのタップ係数は回路中に存在するし、タップ係数をフーリエ変換して伝達特性を求めることも容易である。

【0055】

また、このテープストリーマの再生系100では、チャネル周期に近いまばらな低倍率サンプルデータを、PLL回路30の前段の補間回路20による信号処理で補間することで、高倍率サンプリング相当のデータ系列を回路内部で生成する。これによりADC12の高速化を防ぐことができる。

【 0 0 5 6 】

上記補間回路 2 0 によって検出点近傍のサンプリングデータを含む高倍率サンプリング相当のデータ系列を得ているので、PLL 回路 3 0 では、そのデジタルデータ系列をデジタル信号処理して検出点データを抽出することが可能である。

【 0 0 5 7 】

上記 PLL 回路 3 0 は、例えば図 2 に原理的な構成を示すように、ADC クロックに基づくタイミング回路 3 1 A により制御される選択回路 3 2 A で構成される。

【 0 0 5 8 】

さらに、このテープストリーマの再生系 1 0 0 では、第 1 の等化回路 1 0 において、再生 RF 信号をいきなり AD 変換してしまうので、アナログ回路が不要になる。アンチエイリアシング LPF 1 1 は簡単なアナログ回路で実現できる。

【 0 0 5 9 】

次に、上記テープストリーマの再生系 1 0 0 における補間回路 2 0 について、具体的に説明する。

【 0 0 6 0 】

なお、補間アルゴリズムはオーディオのサンプリングレートコンバータで使用されている技術である。

【 0 0 6 1 】

上記補間回路 2 0 として、図 3 に 4 倍補間の例を示す。この補間回路 2 0 は、図 3 に構成を示すように、ゼロ挿入回路 2 1、ローパスフィルタ (LPF) 2 2、かけ算回路 2 3 からなる。この補間回路 2 0 では、ゼロ挿入回路 2 1 により、入力信号系列 $x(n)$ に 3 つのゼロを挿入した 4 倍補間信号系列 $y(m)$ を得る。

【 0 0 6 2 】

例えば、図 4 の (A) に ○ にて示されるサンプルデータからなる入力信号系列 $x(n)$

$$x(n) = \{\cdots, -1, 0, 1, 1, \cdots\}$$

に対し、図 4 の (B) に ○ にて示すように、3 つのゼロを挿入した 4 倍補間信号系列 $y(m)$ 、すなわち、

$$y(m) = \{\cdots, -1, 0, 0, 0, 0, 1, 0, 0, 0, 1, 0, 0, 0, \cdots\}$$

を得る。

【 0 0 6 3 】

次段の L P F 2 2 では、上記ゼロ挿入回路 2 1 により得られた 4 倍補間信号系列 $y(m)$ を平滑化する。

【 0 0 6 4 】

そして、最終段のかけ算回路 2 3 では、3 つのゼロを挿入して平滑化したことにより L P F 出力系列の振幅は元の $1/4$ になっているので、これを $\times 4$ して、図 4 の (C) に示すように入力信号系列 $x(n)$ と同じ振幅の出力信号系列 $z(m)$ を得る。

【 0 0 6 5 】

このような構成の補間回路 2 0 では、以上の演算により、例えば $0 \leq n \leq 9$ の 1 0 個の $x(n)$ に対する $0 \leq m \leq 3 9$ の 4 0 個の $z(m)$ を得る。

【 0 0 6 6 】

なお、上記補間回路 2 0 により R 倍補間するには、ゼロ挿入回路 2 1 で $R - 1$ 個のゼロを挿入する。

【 0 0 6 7 】

ここで、図 5 を参照して 4 倍補間を行う補間回路 2 0 の具体例について説明する。

【 0 0 6 8 】

この図 5 に示した補間回路 2 0 は、6 0 0 M H z の原発振信号を $1/4$ 分周器 1 5 により $1/4$ に分周した 1 5 0 M H z の A D C クロックにより動作する上記第 1 の等化回路 1 0 の A D C 1 2 により再生 R F 信号をデジタル化して得られる 1 サンプル 8 ビットのサンプルデータが、入力信号系列 $x(n)$ として、トランスバーサルフィルタ 1 3 を介して供給されるゼロ 3 個挿入回路 2 1 を備える。

【 0 0 6 9 】

なお、上記第 1 の等化回路 1 0 のトランスバーサルフィルタ 1 3 は、8 ビットレジスタとして示されている。

【 0 0 7 0 】

このゼロ 3 個挿入回路 2 1 は、上記 6 0 0 M H z の原発振信号をカウントする 2 ビット 2 進カウンタ 2 1 1 と、この 2 ビット 2 進カウンタ 2 1 1 の 2 ビットのカウンタ出力により制御される 4 入力 1 出力のデータセクタ 2 1 2 と、このデータセクタ 2 1 2 の 8 ビット出力を上記 6 0 0 M H z の原発振信号でラッチして次段の L P F 2 2 に供給する 8 ビットラッチ回路 2 1 3 からなる。

【 0 0 7 1 】

上記 L P F 2 2 には、トランスバーサルフィルタが用いられている。また、上記かけ算回路 2 3 には、2 ビットシフト回路が用いられる。

【 0 0 7 2 】

上記ゼロ 3 個挿入回路 2 1 において、上記データセクタ 2 1 2 は、セクタ入力 0 に入力信号系列 $x(n)$ が供給されるとともに、セクタ入力 1, 2, 3 にゼロが与えられており、6 0 0 M H z クロックでセクタ入力 0, 1, 2, 3 が順に切り替えられることにより、図 6 に示すように、6 0 0 M H z レートでゼロが 3 個挿入されたデータ系列 $y(m)$ を出力する。

【 0 0 7 3 】

次に、上記補間回路 2 0 により実行される補間アルゴリズムについて説明する。

【 0 0 7 4 】

1 0 個の入力信号系列 $x(n)$ をフーリエ変換して $X(w)$ を求めるには次式が用いられる。

【 0 0 7 5 】

【数 1】

$$X(w) = \sum_{n=0}^9 x(n) \cdot e^{-j2\pi nw/10}, \quad 0 \leq w \leq 9$$

【 0 0 7 6 】

4 倍補間を行う補間回路 2 0 では、各 $x(n)$ に 3 つゼロ挿入するので、4 倍補

間信号系列 $y(m)$ は次式で示される。

【0077】

【数2】

$$y(m) = \begin{cases} x(n) & m = 4n \text{ のとき} \\ 0 & m \neq 4n \text{ のとき} \end{cases}$$

【0078】

4倍補間信号系列 $y(m)$ は、次式によりフーリエ変換される。

【0079】

【数3】

$$Y(w) = \sum_{m=0}^{39} y(m) \cdot e^{-j2\pi mw/40}, \quad 0 \leq w \leq 39$$

【0080】

Σ の内部項は $m = 4n$ でのみ非ゼロ値 $x(n)$ になるから、 $y(m)$ を $x(n)$ 、 m を $4n$ 、 $0 \leq n \leq 9$ で置き換えると、次式のように変形することができる。

【0081】

【数4】

$$Y(w) = \sum_{4n=0}^{39} x(n) \cdot e^{-j2\pi 4nm/40}, \quad 0 \leq w \leq 39$$

【0082】

さらに、整理して次式のように変形することができる。

【0083】

【数5】

$$Y(w) = \sum_{n=0}^9 x(n) \cdot e^{-j2\pi nw/10}, \quad 0 \leq w \leq 39$$

【0084】

右辺は $X(w)$ に等しく、かつ $X(w)$ は、図7の(A)に示すように、周期10の周期波形であるから、 $Y(w)$ は、図7の(B)に示すように、 $X(w)$ が4回繰り返した周波数スペクトラムである。これらのうち、斜線のスペクトラムはゼロ補間によるイメージ成分であるから、図7の(C)に示すように、ナイキスト周波数の $1/4$ で急峻に減衰するLPFで左右のスペクトラムだけを残し、図7の(D)に示すように、 $\times 4$ 倍補間されたスペクトラム $LPF(w)$ を得る。そして、図7の(E)に示すように、ゼロ3個挿入の影響で振幅が $1/4$ になるので $\times 4$ して $Z(w)$ を得る。

【0085】

LPF32に用いられるデジタルトランスバーサルフィルタは、所望の伝達特性を逆フーリエ変換して得たインパルス応答をタップ係数とすることができる。

【0086】

図8は、 $\times 4$ 補間フィルタに求められる伝達特性の例を示している。

【0087】

この図8に示す伝達特性では、通過域と減衰域の境界に $gain=0.5$ のポイントを設定してインパルス応答のサイドローブのゼロ収束が速やかになるように配慮している。これはなるべく短いタップ数で済ませるためである。

【0088】

図9は、逆フーリエ変換で得たインパルス応答を、64ポイントで打ち切った結果を示している。この応答を64タップトランスバーサルフィルタのタップ係

数として利用すればLPFを実現することができる。

【0089】

ここで、上記図6のタイミングチャートに示したように、入力信号系列 $x(n)$ のデータレートは150MHz、出力信号系列 $z(m)$ のデータレートは600MHzである。このように、R倍補間をするとデータレートがR倍になってしまう。150MHz動作回路は簡単に設計できても、600MHzは困難である。

【0090】

そこで、クロック周波数を150MHzに据え置くために、タップを4つおきに間引いた16タップトランスバーサルフィルタを4本用いて、パラレルに4倍補間データを出力させる。このようにしても同じ結果が得られる。

【0091】

すなわち、図10の(A)は、600MHzで動作するLPFのある時刻を観測した図である。 $x(n)$ に3つのゼロが補間されたデータ系列が入力されるので、シフトレジスタは4つ中3つがゼロになっているはずである。だとすると、図10の(B)に示すように、ゼロが入力される積和回路は不要である。さらに、クロック周波数を150MHzに下げ、ゼロを出力しているシフトレジスタを削除し、ゼロ補間しない $x(n)$ を入力するようにした図10の(C)の回路でも正しい出力を得られる。

【0092】

このように図10の(C)に示す構成とすることにより、トランスバーサルフィルタのタップを4つ置きに間引いてタップ数を1/4にし、回路を削減し、クロック周波数も150MHzに据え置くことができる。

【0093】

図10では係数 k_0 、 k_4 、 k_8 、 $k_{12} \dots$ の積和回路を残せばよかった。しかしこれ以外にも、どのタップが非ゼロであるかによって、補間出力信号の時刻を m として、

1) 図10に示すように、 $m=4n$ で係数 k_0 、 k_4 、 k_8 、 $k_{12} \dots$ の積和回路が非ゼロになるパターン

2) 図11に示すように、 $m=4n-1$ で係数 k_1 、 k_5 、 k_9 、 $k_{13} \dots$

の積和回路が非ゼロになるパターン

3) 図12に示すように、 $m=4n-2$ で係数 $k_2, k_6, k_{10}, k_{14} \dots$
の積和回路が非ゼロになるパターン

4) 図13に示すように、 $m=4n-3$ で係数 $k_3, k_7, k_{11}, k_{15} \dots$
の積和回路が非ゼロになるパターン
の4通りのパターンが存在する。

【0094】

上記図10の(A)に示した64タップトランスバーサルフィルタは、次の積和式で表される。

【0095】

【数6】

$$\begin{aligned} 1 \text{ } p \text{ } f(m) &= \sum_{a=0}^{63} y(m-a) \times k(a) \\ &= y(m)k(0) + y(m-1)k(1) + y(m-2)k(2) \\ &\quad + y(m-3)k(3) \dots \end{aligned}$$

【0096】

1) $m=4n$ の時

$y(m-4b) = x(n-b)$, b は整数、それ以外は $y=0$ なので

【0097】

【数 7】

$$1 \text{ p f (m)} = y(m) * k(0) + y(m-4) * k(4) + y(m-8) * k(8) \\ + y(m-12) * k(12) \cdot \cdot \cdot + y(m-60) * k(60)$$

$$1 \text{ p f (m)} = \sum_{b=0}^{15} y(m-4b) \times k(4b) = \sum_{b=0}^{15} x(n-b) \times k(4b)$$

【0098】

右項は、タップ係数を k_0 から始めて4つおきに間引いた図10の(B),
(C)に示す16タップトランスバーサルフィルタに $x(n)$ を入力するのと等化
である。

2) $m = 4n + 1$ の時

$y(m-1-4b) = x(n-b)$ 、それ以外は $y = 0$ なので

【0099】

【数 8】

$$1 \text{ p f (m)} = y(m-1) * k(1) + y(m-5) * k(5) \\ + y(m-9) * k(9) + y(m-13) * k(13) \\ \cdot \cdot \cdot + y(m-61) * k(61)$$

$$1 \text{ p f (m)} = \sum_{b=0}^{15} y(m-1-4b) \times k(4b+1) \\ = \sum_{b=0}^{15} x(n-b) \times k(4b+1)$$

【0100】

右項は、タップ係数を k_1 から始めて4つおきに間引いた図11の(B),

(C) に示す 16 タップトランスバーサルフィルタに $x(n)$ を入力するのと等化である。

3) $m = 4n + 2$ の時

$y(m-2-4b) = x(n-b)$ 、それ以外は $y = 0$ なので

【0101】

【数9】

$$\begin{aligned} 1 \text{ p f } (m) &= y(m-2) * k(2) + y(m-6) * k(6) \\ &\quad + y(m-10) * k(10) + y(m-14) * k(14) \\ &\quad \cdot \cdot \cdot + y(m-62) * k(62) \end{aligned}$$

$$\begin{aligned} 1 \text{ p f } (m) &= \sum_{b=0}^{15} y(m-2-4b) \times k(4b+2) \\ &= \sum_{b=0}^{15} x(n-b) \times k(4b+2) \end{aligned}$$

【0102】

右項は、タップ係数を k_2 から始めて 4 つおきに間引いた図 12 の (B) , (C) に示す 16 タップトランスバーサルフィルタに $x(n)$ を入力するのと等化である。

4) $m = 4n + 3$ の時

$y(m-3-4b) = x(n-b)$ 、それ以外は $y = 0$ なので

【0103】

【数10】

$$\begin{aligned}
 1 \text{ p f } (n) &= y(n-3) * k(3) + y(n-7) * k(7) \\
 &\quad + y(n-11) * k(11) + y(n-15) * k(15) \\
 &\quad \cdot \cdot \cdot + y(n-63) * k(63)
 \end{aligned}$$

$$\begin{aligned}
 1 \text{ p f } (n) &= \sum_{b=0}^{15} y(n-3-4b) \times k(4b+3) \\
 &= \sum_{b=0}^{15} x(n-b) \times k(4b+3)
 \end{aligned}$$

【0104】

右項は、タップ係数を k_3 からはじめて4つおきに間引いた図13の(B), (C)に示す16タップトランスバーサルフィルタに $x(n)$ を入力するのと等化である。

【0105】

従って、元々64タップだったトランスバーサルフィルタを変形して、図14に示すように、

- 1) k_0 からはじめて4タップおきに間引いた16タップトランスバーサルフィルタ(LPF0)
- 2) k_1 からはじめて4タップおきに間引いた16タップトランスバーサルフィルタ(LPF1)
- 3) k_2 からはじめて4タップおきに間引いた16タップトランスバーサルフィルタ(LPF2)
- 4) k_3 からはじめて4タップおきに間引いた16タップトランスバーサルフィルタ(LPF3)

で定義される4本の16タップトランスバーサルフィルタ(LPF0, LPF1, LPF2, LPF3)を用意し、補間前の150MHzクロックで駆動し、 $x(n)$ を入力すれば、1クロックで平行に4倍補間データを得られる4倍補間回路20Aとすることができる。

【0106】

この4倍補間回路20Aでは、 $m=4n$ 番目の補間データ系列 $lpf(4n)$ をLPF0から出力し、 $m=4n+1$ 番目の補間データ系列 $lpf(4n+1)$ をLPF1から出力し、 $m=4n+2$ 番目の補間データ系列 $lpf(4n+2)$ をLPF2から出力し、 $m=4n+3$ 番目の補間データ系列 $lpf(4n+3)$ をLPF3から出力する。

【0107】

これまで述べた補間LPFの例は4倍補間であったが、これを一般的に表現すると次のようになる。

【0108】

【表2】

(条件)

元のタップ数	N
元のタップ係数	$k(0) \sim k(N-1)$
補間倍率	R

【0109】

【表 3】

(L P F 仕様)

LPF	タップ係数
LPF0	$k(0), k(R), k(2R), k(3R), \dots$ 最大 $k(N-1)$ まで
LPF1	$k(1), k(R+1), k(2R+1), k(3R+1), \dots$ 最大 $k(N-1)$ まで
LPFi	$k(i), k(R+i), k(2R+i), k(3R+i), \dots$ 最大 $k(N-1)$ まで
LPFR-1	$k(R-1), k(2R-1), k(3R-1), k(4R-1), \dots$ 最大 $k(N-1)$ まで

【 0 1 1 0 】

PR1 チャンネル伝達特性はチャンネル周波数の $1/2$ でゼロになるので、チャンネル出力電力はほぼ全てナイキスト周波数以下に分布すると考えてよい。したがって、図 1 に示したテープストリーマの再生系 100 における ADC サンプリグ周波数はチャンネルクロック以上であればエイリアシングのないサンプリグができる。

【 0 1 1 1 】

そこで、以後の説明では、

チャンネル周波数 = 100 MHz

ADC サンプリグ周波数 = 150 MHz

として例示する。チャンネル周波数の 1.5 倍程度の ADC クロックであれば高速化に伴う回路の負担は少ない。

【 0 1 1 2 】

上述の如く PLL 回路 30 の LOW ノイズ化のためには、高倍率補間が望ましい。高倍率補間データ系列は検出点近傍のサンプリグデータを含むからである。

【 0 1 1 3 】

しかし、前述の補間方法を拡張して 8 倍とか 16 倍の補間を実行するとトランスバースフィルタのタップ数が増加するという困難に直面する。4 倍補間するための LPF はナイキスト周波数の $1/4$ で急峻に減衰する特性が必要で、その

ために64タップのトランスバーサルフィルタを用いた。ところが、16倍補間するためのLPFはナイキスト周波数の $1/16$ で急峻に減衰する特性が必要で、そのようなLPFはインパルス応答のサイドローブのゼロ収束性が悪く、64タップよりも大きなタップ数が必要になる。

【0114】

図15にナイキスト周波数の $1/4$ でカットオフするLPFのインパルス応答を、また、図16にナイキスト周波数の $1/16$ でカットオフするLPFのインパルス応答を、それぞれ200ポイントの長さまで計算した結果を例示してあるように、後者はサイドローブの収束が悪い。

【0115】

そこで、トランスバーサルフィルタを用いて低倍率補間し、その後段で直線補間することで、高倍率補間を回路規模増加を防ぎつつ実現することが有利である。直線補間回路のによる補間例を図17に示す。

【0116】

一般に a 、 b の2点間を直線補間して Q 個のサンプルデータ $lin(i)$ を得るには次式が用いられる。

【0117】

【数11】

$$lin(i) = a + \frac{b-a}{Q} \times i \quad 1 \leq i \leq Q$$

【0118】

$z(4n)$ 、 $z(4n+1)$ 、 $z(4n+2)$ 、 $z(4n+3)$ が4パラレル入力されるとき、それぞれを4倍直線補間して16個のサンプルデータ $lin(i)$ を得るには、次のようにする。

【0119】

$$lin(16n) = z(4n-1) + \{z(4n) - z(4n-1)\} \div 4$$

$$l i n (16n+1) = z (4n-1) + \{z (4n) - z (4n-1)\} \div 4 \times 2$$

$$l i n (16n+2) = z (4n-1) + \{z (4n) - z (4n-1)\} \div 4 \times 3$$

$$l i n (16n+3) = z (4n)$$

$$l i n (16n+4) = z (4n) + \{z (4n+1) - z (4n)\} \div 4$$

$$l i n (16n+5) = z (4n) + \{z (4n+1) - z (4n)\} \div 4 \times 2$$

$$l i n (16n+6) = z (4n) + \{z (4n+1) - z (4n)\} \div 4 \times 3$$

$$l i n (16n+7) = z (4n+1)$$

$$l i n (16n+8) = z (4n+1) + \{z (4n+2) - z (4n+1)\} \div 4$$

$$l i n (16n+9) = z (4n+1) + \{z (4n+2) - z (4n+1)\} \div 4 \times 2$$

$$l i n (16n+10) = z (4n+1) + \{z (4n+2) - z (4n+1)\} \div 4 \times 3$$

$$l i n (16n+11) = z (4n+2)$$

$$l i n (16n+12) = z (4n+2) + \{z (4n+3) - z (4n+2)\} \div 4$$

$$l i n (16n+13) = z (4n+2) + \{z (4n+3) - z (4n+2)\} \div 4 \times 2$$

$$l i n (16n+14) = z (4n+2) + \{z (4n+3) - z (4n+2)\} \div 4 \times 3$$

$$l i n (16n+15) = z (4n+3)$$

ここで、直線補間で用いられるかけ算回路及びわり算回路は、シフト回路で実現でき、 $\times 2$ は 1 ビット左シフト回路、 $\times 4$ は 2 ビット左シフト回路、 $\div 2$ は 1 ビット右シフト回路、 $\div 4$ は 2 ビット右シフト回路で実現できるので回路規模が小さくて済む。

【 0 1 2 0 】

以上、補間回路 2 0 としてトランスバーサルフィルタを用いた 4 倍補間回路 2 0 A と直線補間を用いた 4 倍補間回路を説明した。

【 0 1 2 1 】

図 1 8 に示すように、上述の図 1 4 に示した 4 本の 1 6 タップトランスバーサルフィルタ L P F 0, L P F 1, L P F 2, L P F 3 を用いた 4 倍補間回路 2 0 A と 4 倍直線補間回路 2 0 B を組み合わせることにより 1 6 倍補間回路 2 0 C を実現することができる。

【 0 1 2 2 】

ここで、計算で求めた補間波形例を以下に例示する。

【0123】

1. 5倍オーバーサンプリングされたPR1チャンネル出力例を図19に示し、このPR1チャンネル出力を×16倍補間した波形例を図20に示し、そのアイパターンを図21に示す。この図21のアイパターンに示されているように、24ごとに検出点が存在することがわかる。

【0124】

ADCサンプリング周波数を150MHzとすると、16倍補間信号は2400MHzサンプル信号に相当し、そのような高周波ADCを入手するのは甚だしく困難である。またトランスバーサルフィルタの設計も困難である。消費電力もクロック周波数にほぼ比例して増加する。

【0125】

次に、上記テープストリーマの再生系100におけるPLL回路30について、条件を

チャンネル周波数 = 100MHz

ADCサンプリング周波数 = 150MHz

補間倍率 = 16

として具体的に説明する。

【0126】

上述の如き構成の16倍補間回路20Cを用いて、ADCサンプルデータ当たり16倍補間を行うことにより、チャンネル周波数比 $15 \times 16 = 24$ 倍オーバーサンプリングデータ系列を得ることができる。このことは、PLL回路30に入力されるデータ系列のうち、概略24データおきに検出点近傍のデータが存在することを意味している。

【0127】

上記図21のアイパターンに示されているように、検出点が24データおきに存在することがわかる。よって、PLL回路30に対する入力データ系列を概略24周期ごとに間引けば検出点データを選択したことになる。ただし、“概略”24データおきとしたのは、実際の再生信号は、

- 1) ヘリカルスキャン方式では回転ドラムの回転ムラ

2) ディスクではディスクの回転ムラ

3) リニアテープ記録ではテープ送り速度ムラ

による周波数変動を含むので正確に 2 4 ではないからである。それに追従するのが PLL 回路 3 0 の役割である。

【 0 1 2 8 】

図 2 2 は、PLL 回路 3 0 の具体的な構成例を示すブロック図である。

【 0 1 2 9 】

この PLL 回路 3 0 は、再生 RF 信号のゼロクロス点を位相情報として動作する。なお、位相情報の抽出法は他にもある。

【 0 1 3 0 】

この PLL 回路 3 0 は、上記 1 6 倍補間回路 2 0 C により得られた 1 6 パラレルデータ $l i n(16n) \sim l i n(16n+15)$ が入力されるゼロクロス点検出回路 3 1 及び検出部 3 6、上記ゼロクロス点検出回路 3 1 の出力が供給される周期検出部 3 2、間引き補正量計算部 3 3、間引き周期補正部 3 4 及び次検出点絶対番号計算部 3 5 を備える。

【 0 1 3 1 】

上記ゼロクロス点検出回路 3 1 は、1 6 パラレルデータ $l i n(16n) \sim l i n(16n+15)$ のゼロクロス点を探す回路であって、図 2 3 に示すように、上記 1 6 パラレルデータ $l i n(16n) \sim l i n(16n+15)$ が入力される 1 6 個の符号比較器($sign(a \times b)$) 3 1 1 A, 3 1 1 B \dots 3 1 1 P、各符号比較器 3 1 1 A, 3 1 1 B \dots 3 1 1 P の比較出力が供給されるプライオリティエンコーダ 3 1 2 及び全ゼロ判定器 3 1 3、上記プライオリティエンコーダ 3 1 2 からゼロクロス点相対番号が供給される加算回路 3 1 4、トラック先頭でリセットされるカウンタ回路 3 1 5、このカウンタ回路 3 1 5 の出力を 1 6 倍するかけ算回路 3 1 6 などからなる。

【 0 1 3 2 】

各符号比較器 3 1 1 A, 3 1 1 B \dots 3 1 1 P は、それぞれ入力 a と入力 b の符号が異なる場合に 1 を出力する。

【 0 1 3 3 】

符号比較器 3 1 1 A は、ラッチ回路 3 1 7 によりデータ $l i n(16n+15)$ を 1 クロック遅延させたデータ $l i n(16n-1)$ とデータ $l i n(16n)$ の符号を比較する。

【 0 1 3 4 】

符号比較器 3 1 1 B は、データ $l i n(16n)$ とデータ $l i n(16n+1)$ の符号を比較する。

【 0 1 3 5 】

符号比較器 3 1 1 C は、データ $l i n(16n+1)$ とデータ $l i n(16n+2)$ の符号を比較する。

【 0 1 3 6 】

以下同様に各符号比較器 3 1 1 D, 3 1 1 E . . . 3 1 1 P は、それぞれパラレルデータ $l i n(16n+2) \sim l i n(16n+15)$ の符号を比較する。

【 0 1 3 7 】

プライオリティエンコーダ 3 1 2 は、各符号比較器 3 1 1 A, 3 1 1 B . . . 3 1 1 P の比較出力に基づいて、ゼロクロス点が $l i n(16n) \sim l i n(16n+15)$ のどこにあるかを 0 ~ 1 5 の数値（ゼロクロス点相対番号）として出力する。プライオリティエンコーダ 3 1 2 は、1 6 パラレルデータ内にゼロクロスが複数存在した場合、高優先度側すなわち新しい時刻のゼロクロス点相対番号を出力する。ただし、本例の検出点間隔は概略 2 4 であるから、1 6 個の連続データ系列中に含まれるゼロクロス点は 0 又は 1 個である。

【 0 1 3 8 】

また、全ゼロ判定器 3 1 3 は、各符号比較器 3 1 1 A, 3 1 1 B . . . 3 1 1 P の比較出力に基づいて 1 6 パラレルデータ $l i n(16n) \sim l i n(16n+15)$ 内におけるゼロクロスの有無を判定し、その判定結果を示すゼロクロス有無信号 zc_en を出力する。すなわち、全ゼロ判定器 3 1 3 は、各符号比較器 3 1 1 A, 3 1 1 B . . . 3 1 1 P の比較出力が 1 つでも 1 であればゼロクロスがあることを示す $zc_en = 1$ を出力し、各符号比較器 3 1 1 A, 3 1 1 B . . . 3 1 1 P の比較出力が全てゼロだった場合には、ゼロクロスを含まないで、ゼロクロスがないことを示す $zc_en = 0$ を出力する。

【 0 1 3 9 】

このゼロクロス点検出回路 3 1 では、トラック先頭でリセットされるカウンタ回路 3 1 5 により 1 5 0 M H z の A D C クロックをカウントし、そのカウント値をかけ算回路 3 1 6 で 1 6 倍することにより、現在の 1 6 パラレルデータの先頭データ絶対番号 stt_No を得て、この先頭データ絶対番号 stt_No を加算回路 3 1 4 で上記ゼロクロス点相対番号に加算することにより、ゼロクロス点絶対番号 zc_No を算出して出力する。

【 0 1 4 0 】

また、周期検出部 3 2 は、第 1 及び第 2 のレジスタ 3 2 1, 3 2 2 と、剰余(mod) 回路 3 2 3 からなる。

【 0 1 4 1 】

この周期検出部 3 2 において、上記第 1 及び第 2 のレジスタ 3 2 1, 3 2 2 は、上記ゼロクロスポイント検出回路 3 1 から出力されるゼロクロス点絶対番号 zc_No を入力データとする 2 段のシフトレジスタを構成しており、上記ゼロクロスポイント検出回路 3 1 から出力されるゼロクロス有無信号 zc_en により制御されることによって、新旧ゼロクロス点の絶対番号 $zc2$, $zc1$ を記憶する。そして、上記剰余(mod) 回路 3 2 3 は、それらの差 $zc2_zc1$ ($zc2 > zc1$) と間引き周期 d との剰余(mod) をゼロクロス周期 $period$ として間引き補正量計算部 3 3 に出力する。ゼロクロス周期 $period$ と間引き周期 d の剰余を計算する理由は、信号のゼロクロス周期は記録パターンにより d , $2d$, $3d$, $4d$, \dots , (本例では 24 , 48 , 72 , $96 \dots$) の様々な値になるからである。

【 0 1 4 2 】

上記ゼロクロス周期 $period$ と間引き周期 d の過不足関係は次のようになる。

【 0 1 4 3 】

1) d が小さい時 (つまり P L L 回路 3 0 の間引き周期が入力信号より短い時)

$$1 \leq period < d / 2 \quad (\text{本例では } 1 \leq period < 11)$$

2) d がちょうど良い時

$$period = 0$$

3) d が大きい時 (つまり PLL 回路 30 の間引き周期が入力信号より長い時)

$$d/2 \leq \text{period} \leq d-1 \quad (\text{本例では } 12 \leq \text{period} \leq 23)$$

そこで、間引き補正量計算部 33 は、次のような間引き周期補正量 Δ を間引き周期補正部 44 に出力する。

【0144】

1) のケースなら d を大きくするべきなので $\Delta = \Delta d$ を出力する。

【0145】

3) のケースなら d を小さくするべきなので $\Delta = -\Delta d$ を出力する。

【0146】

すなわち、この間引き補正量計算部 33 は、上記周期検出部 32 により検出されたゼロクロス周期 period と、間引き周期補正部 34 により与えられる間引き周期 d の $1/2$ の値とを比較演算を行う第 1 及び第 2 の演算器 331, 332 を備え、上記第 1 の演算器 331 により、

$$\text{period} < d/2$$

であることを検出すると、間引き周期補正量 Δ として Δd を出力し、また、上記第 2 の演算器 332 により、

$$\text{period} \geq d/2$$

であることを検出すると、間引き周期補正量 Δ として $-\Delta d$ を出力する。

【0147】

なお、上記間引き周期補正量 Δ をトラック先頭で大きくし高速引込みを実現するようにしてもよい。

【0148】

また、間引き周期補正部 34 は、上記間引き補正量計算部 33 により得られた間引き周期補正量 Δ に基づいて、

$$d = d + \Delta$$

なる演算を行う演算器 341 からなり、ゼロクロス点検出毎に間引き周期 d を補正する。そして、この間引き周期補正部 34 は、ゼロクロス点検出毎に補正した間引き周期 d を上記間引き補正量計算部 33 と次検出点絶対番号計算部 35 に与

える。

【0149】

次検出点絶対番号計算部35は、選択スイッチ351、加算器352及びレジスタ353からなり、上記ゼロクロスポイント検出回路31から出力されるゼロクロス点絶対番号(zc_No)と上記間引き周期補正部34により与えられる間引き周期dに基づいて、次のようにして次検出点絶対番号nextを計算する

通常は、次検出点絶対番号nextを $next = next + d$ で計算する。ただし、現在の16パラレル入力ゼロクロス点を含む場合(zc_en=1)は位相ロックのために同ゼロクロス点を起点に次検出絶対番号nextを計算する。

【0150】

すなわち、この次検出点絶対番号計算部35において、上記選択スイッチ351は、上記ゼロクロスポイント検出回路31から出力されるゼロクロス有無信号zc_enにより制御され、zc_en=1すなわち各符号比較器311A, 311B・・・・311Pに入力された16パラレルデータlin(16n)～lin(16n+15)内にゼロクロスが含まれていた場合には、上記ゼロクロスポイント検出回路31から出力されるゼロクロス点絶対番号zc_Noを選択して加算器352に供給し、また、zc_en=0すなわち上記16パラレルデータlin(16n)～lin(16n+15)内にゼロクロスが含まれていない場合には、上記レジスタ353から出力される次検出点絶対番号nextを選択して上記加算器352に供給する。

【0151】

また、上記加算器352は、上記選択スイッチ351を介して供給される上記ゼロクロス点絶対番号zc_No又は次検出絶対番号nextに上記間引き周期補正部34により与えられる間引き周期dを加算し、その加算出力すなわち

$$next = zc_No + d$$

又は、

$$next = next + d$$

をレジスタ353に出力する。

【0152】

上記レジスタ353は、検出部36から出力される現在の16パラレル入力

検出点を含んでいたことを示す制御信号enにより制御されており、現在の16パラレル入力が検出点を含んでいたら、上記加算器352による加算出力を取り込んで次検出絶対番号nextとして出力する。

【0153】

この次検出点絶対番号計算部35は、通常は、次検出点絶対番号nextを

$$\text{next} = \text{next} + d$$

で計算する。ただし、現在の16パラレル入力がゼロクロス点を含む場合($\text{zc_en} = 1$)は位相ロックのために同ゼロクロス点を起点に次検出絶対番号nextを計算する。

【0154】

この次検出点絶対番号計算部35の動作は、まとめると次のようになる。

【0155】

en = 1の時 (検出点あり)

$$\text{zc_en} = 0 \text{ の時 } \text{next} = \text{next} + d$$

$$\text{zc_en} = 1 \text{ の時 } \text{next} = \text{zc_No} + d$$

en = 0の時 (検出点なし)

$$\text{next} = \text{next} \text{ 更新せず}$$

そして、上記検出部36は、上記16パラレルデータlin(16n) ~ lin(16n+15)が入力される16入力1出力のデータセレクタ361と、上記次検出点絶対番号計算部35で計算された次検出点絶対番号nextが入力される剰余(mod)回路362と、上記次検出点絶対番号nextが入力されるとともに上記ゼロクロスポイント検出回路31から先頭データ絶対番号stt_Noが入力される比較回路363からなる。

【0156】

この検出部36において、上記剰余(mod)回路362は、上記データセレクタ361に検出点セレクト信号として $\text{next mod } 16$ を与える。

【0157】

そして、上記データセレクタ361は、検出点セレクト信号として与えられた $\text{next mod } 16$ により上記16パラレルデータlin(16n) ~ lin(16n+15)を選

択して検出点データdataとして出力する。

【0158】

また、上記比較回路363は、上記次検出点絶対番号nextと現在の16パラレルデータの先頭データ絶対番号stt_Noを比較し、

$$\text{next} \leq \text{stt_No} + 15$$

であれば現在の16パラレルデータが検出点データを含むので制御信号enを出力する。ここでは、ADCサンプリング周波数がチャンネル周波数の1.5倍であるから、上記制御信号enは、図24に示すように平均して3クロックに2回出力される。

【0159】

次に、上記バッファメモリ40について具体的に説明する。

【0160】

このテープストリーマの再生系100において、上記PLL回路30から出力される制御信号enは概略2/3デューティ比を持つので、後段の回路は100MHzデータレートの信号を処理するにもかかわらず150MHz動作スピードが要求され、しかも1/3は休止しなければならない。その対処のため、PLL回路30の後段にバッファメモリ40を設け、PLL動作クロック150MHzで書き込む。それを後段専用の読み出しクロックで読み出すことで、後段の動作クロックを150MHz以下に据え置くようにしている。

【0161】

読み出しクロックは、バッファメモリ40がオーバーフローしないようにする必要がある。

【0162】

上記バッファメモリ40がオーバーフローしないようにするために、例えば、読み出しクロックをチャンネル周波数よりもやや高い周波数にする。

【0163】

チャンネル周波数はドラムやディスクの回転ムラにより変動するが、ヘリカルスキャン装置の変動量は±5%と見込めば十分である。したがって、読み出しクロック周波数を110MHzぐらいの固定周波数にやや高速化しておけばバッファ

オーバーフローを防止でき、かつ動作周波数を 1 5 0 M H z から 1 1 0 M H z に引き下げることができる。読み出しクロック 1 1 0 M H z の場合は、 $1 1 0 / 1 0 0 = 1 0 \%$ 早読みに相当するので、平均して 1 1 回中 1 回はバッファエンプティである。よって、バッファメモリ 4 0 にはバッファエンプティを出力する必要がある。

【 0 1 6 4 】

上記バッファメモリ 4 0 の具体例を図 2 5 に示す。

【 0 1 6 5 】

この図 2 5 に示したバッファメモリ 4 0 A は、1 6 ワードのデュアルポート R A M 4 1 とバッファエンプティ検出回路 4 2 を備える。

【 0 1 6 6 】

上記デュアルポート R A M 4 1 には、上記 P L L 回路 3 0 から出力される検出点データ data 及び制御信号 en が書き込みデータ wdata 及び書き込み制御信号として供給されるとともに、1 5 0 M H z の書き込みクロックをカウントする書き込みアドレスカウンタ 4 3 により生成される書き込みアドレスが与えられ、また、1 1 0 M H z の読み出しクロックをカウントする読み出しアドレスカウンタ 4 4 により生成される読み出しアドレスが与えられるようになっている。

【 0 1 6 7 】

上記書き込みアドレスカウンタ 4 3 は、上記制御信号 en により制御され、en = 1 ならインクリメントされる。また、上記読み出しアドレスカウンタ 4 4 は、上記バッファエンプティ検出回路 4 2 から反転回路 4 5 を介して供給される非バッファエンプティ信号により制御され、非バッファエンプティの時にインクリメントされる。

【 0 1 6 8 】

上記バッファエンプティ検出回路 4 2 は、読み出しアドレスが書き込みアドレスと一致した場合にバッファエンプティと見なして、バッファエンプティ信号を出力する。

【 0 1 6 9 】

このバッファエンプティ検出回路 4 2 から出力されるバッファエンプティ信号

は、後段回路による処理をバッファエンプティの時に止める。

【0170】

図25に示したバッファメモリ40では、オーバーフローしないようにするために、読み出しクロックをチャネル周波数よりもやや高い周波数にするようにしたが、図26に示すように、読み出しクロックをVCO(voltage controlled oscillator)で生成し、かつVCOの発振周波数を、バッファメモリ40がデータエンプティにもデータオーバーフローにもならないように制御するようにしてもよい。

【0171】

すなわち、図25に示したバッファメモリ40Aを構成しているデュアルポートRAM41を図27に示すようなリングメモリと考えると、書き込みアドレスはリングを左回りに移動し、読み出しアドレスは書き込みアドレスから遅れたアドレスを左回りに移動する。バッファメモリ40は再生RF信号の周波数変動を吸収するためのものであるから、読み出しアドレスが書き込みアドレスの最遠アドレスであるように読み出しクロックの周波数が制御されれば周波数変動への適応力が高くて望ましい。

【0172】

そのために、図26に示すバッファメモリ40Bでは、書き込みアドレスカウンタ43で生成された書き込みアドレスが入力される剰余(mod)回路421により、

読み出しアドレスリファレンス = (書き込みアドレス - 8) mod 16
なる剰余演算を行って読み出しアドレスリファレンスを得て、読み出しアドレスカウンタ44により生成された読み出しアドレスと上記読み出しアドレスリファレンスとのアドレス差をアドレス差検出回路422により検出する。

【0173】

そして、上記アドレス差検出回路422により検出されたアドレス差が供給される判定回路423により、上記アドレス差が0よりも小さい場合、すなわち、上記読み出しアドレスリファレンスよりも読み出しアドレスが進んでいる場合には、発振周波数を下げるようにVCO428を制御し、また、上記読み出しアド

レスリファレンスよりも読み出しアドレスが遅れている場合には、発振周波数を上げるようにVCO428を制御する。

【0174】

VCO428の発振周波数の制御は、上記VCO428にLPF427を介して制御電圧を与えるコンデンサ426への定電流源424、425による電荷の充放電で実現している。

【0175】

図26に示したバッファメモリ40を用いた再生系100では、後段回路のクロック周波数が100MHzになる。

【0176】

さらに、 $\times 1$ 倍サンプリング時に対応するPLL回路30とバッファメモリ40について説明する。

【0177】

ここで、ADCクロック周波数が100MHz、すなわち $\times 1$ 倍サンプリングの場合は工夫が必要である。ヘリカルスキャン装置では、再生RF信号のチャネルレートは95~105MHzぐらいの幅をもっている。このような信号を100MHzのADCクロックでサンプリングするということは、ADCレート(100MHz) < 信号レート(105MHz)となる瞬間もありえるので、このような瞬間はナイキストの法則に反し、エイリアシングノイズが生じてしまう。

【0178】

ところが、PR1チャネルの伝達特性はナイキスト周波数でゼロなので、ナイキスト周波数近傍の周波数成分はほんのわずかである。よって、PR1信号をAD変換する場合のADCクロックは100MHzすなわち $\times 1$ 倍サンプリングでも少ないエイリアシングノイズで済み、実用可能である。

【0179】

$\times 1$ 倍サンプリングでは、再生RF信号のチャネル周波数 > ADCサンプリング周波数になる瞬間があるから、 $\times 16$ パラレルデータの先頭付近に1検出点、末尾付近にもう1検出点を含むケースが想定される。しかし、上述の図22に示したPLL回路30は、このような2検出点同時出力機能を持たないので、 \times

1 倍サンプリングで使うことはできない。

【 0 1 8 0 】

これを解決するためには、図 2 2 に示した P L L 回路 3 0 を例えば図 2 8 に示すような構成に変更すればよい。

【 0 1 8 1 】

この図 2 8 に示す P L L 回路 3 0 A は、図 2 2 に示した P L L 回路 3 0 における次検出点絶対番号計算部 3 5 に、次々検出点絶対番号 $next2$ も計算して出力する機能が増設され、さらに、上記検出部 3 6 に第 2 の検出部 3 7 が増設されている。

【 0 1 8 2 】

この P L L 回路 3 0 A の次検出点絶対番号計算部 3 5 0 は、選択スイッチ 3 5 4、加算器 3 5 5 及びレジスタ 3 5 6 が追加されており、上記加算器 3 5 2 による加算出力を上記レジスタ 3 5 3 を介して次検出点絶対番号 $next1$ として出力するとともに、上記加算器 3 5 2 による加算出力に加算器 3 5 5 で間引き周期 d を加算し、この加算器 3 5 5 による加算出力をレジスタ 3 5 6 を介して次々検出点絶対番号 $next2$ として出力する。

【 0 1 8 3 】

また、上記第 2 の検出部 3 7 は、上記 1 6 パラレルデータ $lin(16n) \sim lin(16n+15)$ が入力される 1 6 入力 1 出力のデータセレクタ 3 7 1 と、上記次検出点絶対番号計算部 3 5 0 で計算された次々検出点絶対番号 $next2$ が入力される剰余(mod) 回路 3 7 2 と、上記次々検出点絶対番号 $next2$ が入力されるとともに上記ゼロクロスポイント検出回路 3 1 から先頭データ絶対番号 stt_No が入力される比較回路 3 7 3 からなり、複数検出点存在時に検出点データ $data2$ と制御信号 $en2$ を出力する。

【 0 1 8 4 】

上記次検出点絶対番号計算部 3 5 0 に増設された選択スイッチ 3 5 4 は、複数検出点存在時に、次々検出点絶対番号 $next2$ を選択して上記選択スイッチ 3 5 1 を介して上記加算器 3 5 2 に供給するように、上記第 2 の検出部 3 7 で得られる制御信号 $en2$ により制御される。

【 0 1 8 5 】

この次検出点絶対番号計算部 3 5 0 では、次の計算式にしたがった演算により次検出点絶対番号 next1 と次々検出点絶対番号 next2 を算出して出力する。

【 0 1 8 6 】

【表 4】

条件 1	条件 2	動作 1	動作 2
en1=en2=1の時 (検出点 2 個)	zc_en=0の時	next1=next2+d	next2=next1+2d
	zc_en=1の時	next1=zc_No+d	next2=zc_No+2d
en1=1, en2=0の時 (検出点 1 個)	zc_en=0の時	next1=next1+d	next2=next1+2d
	zc_en=1の時	next1=zc_No+d	next2=zc_No+2d
en1=0, en2=0の時 (検出点 0 個)		next1=next1	next2=next2

【 0 1 8 7 】

また、×1 倍サンプリングにおける 2 検出点同時出力に対応するために、バッファメモリ 4 0 には、図 2 9 に示すような構成のものが用いられる。

【 0 1 8 8 】

この図 2 9 に示すバッファメモリ 4 0 C は、第 1 及び第 2 の切替え回路 4 0 5 , 4 0 6 を介して書き込みデータと書き込み制御信号が入力される第 1 及び第 2 のメモリバンク 4 0 7 , 4 0 8 を備える 2 バンク構成とされる。なお、図 2 9 には書き込み側だけが示されている。

【 0 1 8 9 】

この 2 バンク構成のバッファメモリ 4 0 C には、上述の図 2 8 に示した PLL 回路 3 0 A から制御信号 en1, en2、検出点データ data1, data2 及び 1 5 0 MHz のクロックの 5 信号が入力される。

【 0 1 9 0 】

前述のように、検出点個数 0 , 1 , 2 別の場合分けすると、次のような 3 つの

ケースが考えられる。

【0191】

【表5】

en1=en2= 1	2 検出点
en1= 1 , en2= 0	1 検出点
en1=en2= 0	検出点データなし

【0192】

このバッファメモリ40Cは、トラック先頭でリセットされて、ゼロから始まり検出点個数に応じて+0, +1, +2されることにより、

$$\text{data_No} = \text{data_No} + \text{en1} + \text{en2}$$

にてdata個数data_Noをカウントするカウンタ401を備える。

【0193】

そして、このカウンタ401により得られるdata個数data_Noに基づいて剰余(mod) 回路402と加算器403で

$$\text{MB_ptr} = (\text{data_No} \bmod 2) + 1$$

メモリバンクポインタMB_ptrを求め、このメモリバンクポインタMB_ptrにしたがって、第1及び第2の切替え回路405, 406により次のように場合分けを行って、次のクロックで検出点データdata1, data2を書き込む第1又は第2のメモリバンク407, 408を指定する。

【0194】

【表 6】

条件	動作 1	動作 2
MB_ptr=1 かつ 2 検出点	第 1 のメモリバンクに 検出点データ data1 を 書き込む	第 2 のメモリバンクに 検出点データ data2 を 書き込む
MB_ptr=1 かつ 1 検出点	第 1 のメモリバンクに 検出点データ data1 を 書き込む	第 2 のメモリバンクは 何もしない
MB_ptr=1 かつ 0 検出点	第 1 のメモリバンクは 何もしない	第 2 のメモリバンクは 何もしない
MB_ptr=2 かつ 2 検出点	第 2 のメモリバンクに 検出点データ data1 を 書き込む	第 1 のメモリバンクに 検出点データ data2 を 書き込む
MB_ptr=2 かつ 1 検出点	第 2 のメモリバンクに 検出点データ data1 を 書き込む	第 1 のメモリバンクは 何もしない
MB_ptr=2 かつ 0 検出点	第 1 のメモリバンクは 何もしない	第 2 のメモリバンクは 何もしない

【0195】

以上の動作の結果、図 30 の (A), (B) に示すように、第 1 のメモリバンク 407 には偶数番目検出点データが、また、第 2 のメモリバンク 408 には奇数番目検出点データが整頓されて書き込まれる。第 1 及び第 2 のメモリバンク 407, 408 に書き込む検出点データの偶奇は逆であってもよい。

【0196】

上記バッファメモリ 40C の読み出し側は、読み出しクロックに準じて第 1 及び第 2 のメモリバンク 407, 408 を交互に読み出せばよい。詳述は省略する。

【 0 1 9 7 】

なお、上記 P L L 回路 3 0 の入力信号をさらに P パラレル化し、P L L クロック周波数を $1/P$ に下げた場合、 $P \times R \times Q$ パラレル化された $S \times R \times Q$ 倍補間データ系列が P L L 回路 3 0 に入力されることになる。同パラレルデータが含む可能性のある最大検出点個数 D_{\max} は次式で求められる。

【 0 1 9 8 】

$$D_{\max} = \text{Int} (P/S) + 1$$

$$\text{e x. } P = 1, S = 1.5 \rightarrow D_{\max} = 1$$

$$\text{e x. } P = 1, S = 1 \rightarrow D_{\max} = 2$$

$$\text{e x. } P = 2, S = 1.5 \rightarrow D_{\max} = 3$$

$P \times R \times Q$ パラレルデータから検出点に最も近いデータを最大検出点個数セレクト（間引き）するという動作の P L L 回路 3 0 を実現するためには、 D_{\max} 個のデータセレクトと、 D_{\max} 個のデータセレクトを制御する D_{\max} 個の検出点計算回路と、検出点の個数を報知する回路を備える必要がある。

【 0 1 9 9 】

また、 D_{\max} バンクのバッファメモリ 4 0 とするには、P L L 回路 3 0 が報知する検出点個数を D ($D \leq D_{\max}$) とすると、 D バンクのバッファメモリ 4 0 に書き込むよう制御する必要がある。

【 0 2 0 0 】

次に、上記第 1 の等化回路 1 0 の適応等化アルゴリズムについて説明する。

【 0 2 0 1 】

デジタルトランスバーサルフィルタの適応等化アルゴリズムは L M S というアルゴリズムが D D S 4 で実用化済みであり、第 2 の等化回路 5 0 はこの L M S というアルゴリズムにより適応制御される。

【 0 2 0 2 】

そして、第 2 の等化回路 5 0 の伝達特性（自動的に求まる）は第 1 の等化回路 1 0 の等化しそこない特性に等しいという関係にある。すなわち、第 1 の等化回路 1 0 に求められる伝達特性を、第 2 の等化回路 5 0 の伝達特性から算出できる。第 1 の等化回路 1 0 の伝達特性を第 2 の等化回路 5 0 の伝達特性に等しくすれ

ば、第1の等化回路10の適応等化を実施したことになる。デジタルトランスバーサルフィルタのタップ係数は回路中に存在するし、タップ係数をフーリエ変換して伝達特性を求めることも容易である。

【0203】

そこで、次のようにして第1の等化回路10を適応制御する。

【0204】

すなわち、第1の等化回路10のサンプリング周波数がチャネルクロック周波数と略等しい場合には、第1の等化回路10の伝達特性を第2の等化回路50の伝達特性に等しくする。第1の及び第2の等化回路10、50にトランスバーサルフィルタを用いて、第1の等化回路10のタップ係数を第2の等化回路50のタップ係数と等しくする。ただし、タップ数が異なる場合は、タップ係数変換回路90によりタップ数の寡多に応じてタップ打ち切りあるいはゼロ追加する。

【0205】

また、第1の等化回路10のサンプリング周波数が第2の等化回路50のサンプリング周波数よりも高い場合には、第2の等化回路50の周波数帯域内の周波数帯域Aの伝達特性はそのまま第1の等化回路10の伝達特性にし、第2の等化回路50の周波数帯域外の周波数帯域Bの伝達特性を0とした伝達特性を第1の等化回路10に与える。第1の及び第2の等化回路10、50にトランスバーサルフィルタを用い、第1の等化回路10のサンプリング周波数を S_1 、第2の等化回路のサンプリング周波数を S_2 とすると、タップ係数変換回路90により第2の等化回路50のタップ係数を S_1/S_2 倍補間したタップ係数を計算し、それを第1の等化回路10のタップ係数にする。ただしタップ数の寡多に応じてタップ打ち切りあるいはゼロ追加する。

【0206】

ここで、以上の説明では、第1の等化回路10の伝達特性を第2の等化回路50の伝達特性と等しくするアルゴリズムにより第1の等化回路10の適応制御を行ったが、次に説明するように、第1の等化回路10の伝達特性を逐次更新するアルゴリズムを採用することもできる。

【0207】

まず、”更新”の意味を説明する。適応等化が組み込まれた装置における第2の等化回路50の伝達特性は、適応等化回路80によって、ある時間毎に最適化される。DDSフォーマットの実施例では、第2の等化回路50の伝達特性はドラム回転毎に最適化される。この最適化動作のことを”更新”と呼ぶ。DDSフォーマットでは第2の等化回路50にトランスバーサルフィルタを採用しているので、タップ係数の更新により伝達特性更新を実現している。第2の等化回路50のタップ係数を $C2_t(k)$ とすると、更新動作は、

$$C2_t+1(k) = C2_t(k) + \Delta(k)$$

にて表すことができる。ここで、 k はタップ番号で、24タップFIRフィルタであれば0～23の整数である。 t はドラム回転番号で、ドラム回転毎にインクリメントされる整数である。 Δ は、タップ係数を修正する補正值で、収束速度と安定度のトレードオフを考慮して値決めした小さな数である。

【0208】

このように、第2の等化回路50が適応等化回路50によってドラム回転毎に更新される機能を持つのであるから、第1の等化回路10もドラム回転毎に逐次更新されるのが望ましい。

【0209】

そこで、図31や図32に示すように、タップ係数変換回路90にタップ係数更新回路91を設けるようにする。

【0210】

すなわち、図31に示すテープストリーマの再生系100Aは、タップ係数更新回路91とタップ係数打ち切り回路92からなるタップ係数変換回路90Aを備える。この再生系100Aでは、第1の等化回路10に5タップのトランスバーサルフィルタ13Aが用いられており、上記タップ係数打ち切り回路92でタップ係数を打ち切ることにより、上記第2の等化回路50を構成している11タップのトランスバーサルフィルタのタップ係数を上記第1の等化回路10における5タップのトランスバーサルフィルタ13Aのタップ係数に変換する。

【0211】

また、図32に示すテープストリーマの再生系100Bは、タップ係数更新回

路 9 1 とゼロ追加回路 9 3 からなるタップ係数変換回路 9 0 B を備える。この再生系 1 0 0 B では、第 1 の等化回路 1 0 に 1 5 タップのトランスバーサルフィルタ 1 3 B が用いられており、上記ゼロ追加回路 9 3 でタップ係数にゼロを追加することにより、上記第 2 の等化回路 5 0 を構成している 1 1 タップのトランスバーサルフィルタのタップ係数を上記第 1 の等化回路 1 0 における 1 5 タップのトランスバーサルフィルタ 1 3 B のタップ係数に変換する。

【 0 2 1 2 】

上記タップ係数更新回路 9 1 は、図 3 3 に示すように、畳み込み積分回路 9 1 1、タップ係数メモリ 9 1 2 及び更新トリガカウンタ 9 1 3 により構成されている。

【 0 2 1 3 】

ヘリカルスキャン方式ではドラム回転とタップ係数の更新周期とを同期させるのが設計上便利なので、上記タップ係数更新回路 9 1 には、更新トリガ信号としてドラム回転パルスが与えられる。また、上記タップ係数更新回路 9 1 には、図示しないシステムコントローラから動作開始時の初期化信号を受け取る。

【 0 2 1 4 】

畳み込み積分回路 9 1 1 は、第 1 の等化回路 1 0 と第 2 の等化回路 5 0 の現タップ係数を畳み込み積分し、第 1 の等化回路 1 0 の次タップ係数を算出する。

【 0 2 1 5 】

また、タップ係数メモリ 9 1 2 は、更新信号がアクティブになったときの畳み込み積分結果をラッチする。

【 0 2 1 6 】

また、更新トリガカウンタ 9 1 3 は、フラット化信号と更新信号を生成し更新動作を制御する。偶数番目のトリガ信号を第 2 の等化回路 5 0 の適応等化回路 8 0 のフラット化信号として出力する。同様にタップ係数メモリの更新入力に与える。奇数番目は何も出力しない。

【 0 2 1 7 】

このタップ係数更新回路 9 1 は、第 2 の等化回路 5 0 の伝達特性をフラット化するためのフラット化信号を上記第 2 の等化回路 5 0 の適応等化回路 8 0 に供給

する。上記フラット化信号がアクティブになると、第2の等化回路50の伝達特性がフラット化される。

【0218】

また、初期化信号がアクティブになると、タップ係数メモリ912がリセットされ、第1の等化回路10の伝達特性がフラット化される。

【0219】

上記タップ係数更新回路91による更新動作を図34のタイムチャートに示してある。

【0220】

また、図35乃至図39には、図33における第1及び第2の等化回路10、50とタップ係数更新回路91だけを抜粋し、動作を時系列順に並べて示してある。なお、簡単化のため、第1及び第2の等化回路10、50のタップ係数を24タップに統一し、タップ係数打ち切り回路92あるいはゼロ追加回路93は省いて図示されている。

【0221】

図35は、回路が動作開始した直後の状態($t=0$)を示している。この $t=0$ の状態は、動作開始直後なのでシステムコントローラが初期化信号を発すると、各部の動作は次のようになる。

【0222】

すなわち、タップ係数メモリが初期化され、第1の等化回路10の伝達特性がフラット化される。また、更新トリガカウンタ913がリセットされ、偶数トリガ信号をフラット化信号として、第2の等化回路50の伝達特性がフラット化される。

【0223】

図36は、 $t=1$ の状態を示している。 $t=1$ の状態では、更新トリガカウンタ913のカウント値は1(奇数)なので、更新信号もフラット化信号も出力されない。したがって、各部の動作は次のようになる。

【0224】

すなわち、タップ係数メモリ912は動かないので、第1の等化回路10のタ

ップ係数 $C1_1(k)$ は、

$$C1_1(k) = C1_0(k)$$

すなわち $t = 0$ の値を保持する。

【0 2 2 5】

また、 $t = 0$ の期間の再生波形を演算することによって適応等化回路 8 0 は、
 $t = 1$ の第 2 の等化回路 5 0 のタップ係数を決定する。すなわち、第 2 の等化回路 5 0 の k 番目のタップ係数 $C2_1(k)$ が、

$$C2_1(k) = C2_0(k) + \Delta(k) \quad (0 \leq k \leq 23)$$

のように更新される。

【0 2 2 6】

したがって、 $t = 1$ の期間は、第 1 の等化回路 1 0 の伝達特性と第 2 の等化回路 5 0 の伝達特性の積で与えられる

総合伝達特性 = 第 1 の等化回路の伝達特性 \times 第 2 の等化回路の伝達特性
なる総合伝達特性で等化される。

【0 2 2 7】

もっとも、この時点では第 1 の等化回路 1 0 がフラット特性なので、実質的には総合伝達特性は第 2 等化回路 5 0 の伝達特性である。

【0 2 2 8】

図 3 7 は、 $t = 2$ の状態を示している。 $t = 2$ の状態では、更新トリガカウンタ 9 1 3 のカウント値は 2 (偶数) なので、更新信号とフラット化信号が出力される。したがって、各部の動作は次のようになる。

【0 2 2 9】

すなわち、タップ係数メモリ 9 1 2 が更新されて、第 1 の等化回路 1 0 のタップ係数 $C1_2(k)$ は、

$$C1_2(k) = C1_1(k) * C2_1(k) \quad (\text{ここで} * \text{は畳み込み積分を示す})$$

すなわち、第 1 及び第 2 の等化回路 1 0, 5 0 の各タップ係数 $C1_1(k)$, $C2_1(k)$ の畳み込み積分になる。

【0 2 3 0】

また、フラット化信号が出力されて、

$$C2_2(k) = 0 \quad (k \neq \text{センタータップ})$$

すなわち、適応等化回路 8 0 により第 2 の等化回路 5 0 がフラット化される。

【 0 2 3 1 】

この時点では第 2 の等化回路 5 0 がフラット特性なので、総合伝達特性は第 1 等化回路 1 0 の伝達特性となる。

【 0 2 3 2 】

図 3 8 は、 $t = 3$ の状態を示している。 $t = 3$ の状態では、更新トリガカウンタ 9 1 3 のカウント値は 3 (奇数) なので、更新信号もフラット化信号も出力されない。したがって、各部の動作は次のようになる。

【 0 2 3 3 】

すなわち、タップ係数メモリ 9 1 2 は動かないので、第 1 の等化回路 1 0 のタップ係数 $C1_3(k)$ は、

$$C1_3(k) = C1_2(k)$$

$t = 2$ の値を保持する。

【 0 2 3 4 】

また、適応等化回路 8 0 により第 2 の等化回路 5 0 の k 番目のタップ係数 $C2_3(k)$ が

$$C2_3(k) = C2_2(k) + \Delta(k) \quad (0 \leq k \leq 23)$$

のように更新される。

【 0 2 3 5 】

したがって、 $t = 3$ の期間は、第 1 の等化回路 1 0 の伝達特性と第 2 の等化回路 5 0 の伝達特性の積で与えられる

総合伝達特性 = 第 1 の等化回路の伝達特性 \times 第 2 の等化回路の伝達特性
なる総合伝達特性で等化される。

【 0 2 3 6 】

図 3 9 は、 $t = 4$ の状態を示している。 $t = 4$ の状態では、更新トリガカウンタ 9 1 3 のカウント値は 4 (偶数) なので、更新信号とフラット化信号が出力される。したがって、各部の動作は次のようになる。

【 0 2 3 7 】

すなわち、タップ係数メモリが更新されて、第 1 の等化回路 1 0 のタップ係数 $C1_4(k)$ は、

$$C1_4(k) = C1_3(k) * C2_3(k) \quad (\text{ここで} * \text{は畳み込み積分を示す})$$

すなわち、第 1 及び第 2 の等化回路 1 0, 5 0 の各タップ係数 $C1_3(k) * C2_3(k)$ の畳み込み積分になる。

【 0 2 3 8 】

また、フラット化信号が出力されて、

$$C2_4(k) = 0 \quad (k \neq \text{センタータップ})$$

すなわち、適応等化回路 8 0 により第 2 の等化回路 5 0 がフラット化される。

【 0 2 3 9 】

この時点では第 2 の等化回路 5 0 がフラット特性なので、総合伝達特性は第 1 の等化回路 1 0 の伝達特性となる。

【 0 2 4 0 】

以上のアルゴリズムをまとめると次のようになる。

(起動時初期化動作 $t = 0$)

①第 1 の等化回路の伝達特性がフラット化

②第 2 の等化回路の伝達特性がフラット化

【 0 2 4 1 】

【表 7】

(t = 奇数時動作)

$C1_i+1(k) = C1_i(k)$	第 1 の等化回路 : ホールド
$C2_i+1(k) = C_i(k) + \Delta(k)$	第 2 の等化回路 : 更新

【 0 2 4 2 】

【表 8】

(t = 偶数時動作)

$C1_i+1(k) = C1_i(k) * C2_i(k)$	第 1 の等化回路 = 総合伝達特性
$C2_i+1(k) = 0 \quad (k \neq \text{センタータップ})$	第 2 の等化回路 = フラット化

【 0 2 4 3 】

上述の図 3 1 及び図 3 2 におけるタップ係数変換回路 9 0 に使用されるタップ係数更新回路 9 1 は、図 4 0 に示すように簡略化することができる。

【 0 2 4 4 】

すなわち、図 4 0 に示すタップ係数更新回路 9 1 A は、第 2 の等化回路 5 0 の伝達特性をフラット特性に固定することにより、図 3 3 における更新トリガカウンタ 9 1 3 を省略し、適応等化回路 8 0 が出力するタップ係数更新情報 $\Delta i(k)$ を第 1 の等化回路 1 0 に作用させるようにしたものである。

【 0 2 4 5 】

適応等化回路 8 0 が出力する $\Delta i(k)$ は k 番目のタップ係数値を大きくするか、小さくするかを指示する情報であるから、 $\Delta i(k)$ を第 1 の等化回路 1 0 に作用させても、総合伝達特性は正しく更新され、適応等化が正しく行われる。

【 0 2 4 6 】

さらに、伝達特性がフラット化されたトランスバーサルフィルタ、例えば図 4 1 に示すように、6 番目のタップ係数 k_6 のみが 1 で、それ以外のタップ係数が全てゼロであるフラットな伝達特性の 1 2 タップトランスバーサルフィルタは、不要なかけ算回路及び加算回路を除去し、さらにレジスタを除去することにより、入出力直結とみなせるので、上記図 4 0 における第 2 の等化回路 5 0 は、図 4 2 に示すように省略することができる。

【 0 2 4 7 】

図 4 1 及び図 4 2 に示すタップ係数更新回路 9 1 A では、図 4 3 のタイミングチャートに示すような動作を行い、ドラム回転パルスエッジ毎にタップ係数更新演算回路 9 1 1 A により

$$C1_{i+1}(k) = C1_i(k) + \Delta i(k)$$

なる演算を行って第 1 の等化回路 1 0 のタップ係数 $C1_{i+1}(k)$ を更新する。

【 0 2 4 8 】

このような構成のタップ係数更新回路 9 1 A を採用することにより、上述の図 3 1 や図 3 2 に示した再生系 1 0 0 A、1 0 0 B は、図 4 4 や図 4 5 に示す再生系 1 0 0 C、1 0 0 D のように構成を簡略化することができる。

【0249】

次に、タップ係数の畳み込み積分で総合伝達特性を実現する例について説明する。

【0250】

一般に、総合伝達特性を求めるには、次の手順で2つの伝達特性の積を求めればよい。

【0251】

1. 第1の等化回路のタップ係数を離散フーリエ変換して第1の等化回路の伝達特性の周波数応答 $H_1(w)$ を求める。 w は角周波数である。

【0252】

2. 第2の等化回路のタップ係数を離散フーリエ変換して第2の等化回路の伝達特性の周波数応答 $H_2(w)$ を求める。

【0253】

3. 総合周波数応答 $H(w)$ を

$$H(w) = H_1(w) \times H_2(w)$$

により求める

4. 総合周波数応答 $H(w)$ を離散逆フーリエ変換して第1の等化回路の次タップ係数を求める。

【0254】

しかし、トランスバーサルフィルタを利用する本例では、

総合伝達特性を与えるタップ係数

= 第1及び第2の等化回路のタップ係数の畳み込み積分

とすることによりフーリエ変換回路を省略することができる。

【0255】

ここで、図46の(A)に示すように第1のインパルス応答特性を有する第1のフィルタと、図46の(B)に示すように第2のインパルス応答特性を有する第1のフィルタを、図46の(C)に示すようにシリーズに接続したフィルタでは、第1のフィルタのインパルス応答1が次段の第2のフィルタへ入力されると、出力には、

第 1 のインパルス応答 * 第 2 のインパルス応答 (* は畳み込み積分を示す) が出現する。

【 0 2 5 6 】

すなわち、シリーズ接続されたフィルタの総合インパルス応答は、個別フィルタのインパルス応答の畳み込み積分に等しい。

【 0 2 5 7 】

本例ではフィルタとしてトランスバーサルフィルタを使用するので、個別フィルタのインパルス応答はタップ係数に等しい。したがって、第 1 及び第 2 の等化回路 1 0, 5 0 のタップ係数を畳み込み積分すれば、総合伝達特性を与えるタップ係数が得られる。

【 0 2 5 8 】

図 4 7 乃至図 5 3 に演算例を示す。

【 0 2 5 9 】

図 4 7 は、 $t = i - 1$ における第 1 の等化回路 1 0 の伝達特性の周波数応答例を示している。

【 0 2 6 0 】

図 4 8 は、 $t = i - 1$ における第 1 の等化回路 1 0 のタップ係数例を示している。 $C1_i(k)$ に相当する。ただし、ここでは図 4 7 に示した周波数応答例を離散逆フーリエ変換してタップ係数を算出した。

【 0 2 6 1 】

図 4 9 は、 $t = i$ における第 2 の等化回路 5 0 の伝達特性の周波数応答例を示している。

【 0 2 6 2 】

図 5 0 は、 $t = i$ における第 2 の等化回路 5 0 のタップ係数例を示している。 $C2_i(k)$ に相当する。ただし、ここでは図 4 9 に示した周波数応答例を離散逆フーリエ変換してタップ係数を算出した。

【 0 2 6 3 】

図 5 1 は、タップ係数 $C1_i(k)$ とタップ係数 $C2_i(k)$ の畳み込み積分の結果を示している。これを第 1 の等化回路 1 0 の次タップ係数 $C1_i+1(k)$ として利用す

ればよい。

【 0 2 6 4 】

図 5 2 は、上記次タップ係数 $C_{1_i+1}(k)$ を離散フーリエ変換して算出した総合伝達特性の周波数応答を示している。

【 0 2 6 5 】

図 5 3 は、図 5 2 に示した総合伝達特性の周波数応答の正しさを確かめるために、図 4 7 に示した第 1 の等化回路 1 0 の伝達特性の周波数応答と図 4 9 に示した第 2 の等化回路 5 0 の伝達特性の周波数応答のかけ算で算出した総合伝達特性の周波数応答を示している。

【 0 2 6 6 】

図 5 2 に示した周波数応答と図 5 3 に示した周波数応答は同特性であり、タップ係数の畳み込み積分で求めた総合伝達特性図 5 2 は、周波数応答のかけ算で求めた総合伝達特性図 5 3 と一致している。

【 0 2 6 7 】

以上、第 1 の等化回路 1 0 のサンプリング周波数がチャンネルクロック周波数に略等しい場合について説明したが、上記第 1 の等化回路 1 0 のサンプリング周波数がチャンネルクロック周波数と異なる場合には、例えば図 5 4 に示すように、タップ係数更新回路 9 1 とタップ係数補間回路 9 4 を備えたタップ係数変換回路 9 0 E を用いることにより、データレートの違いを解消することができる。

【 0 2 6 8 】

この図 5 4 に示すテープストリーマの再生系 1 0 0 E は、第 1 の等化回路 1 0 のデータレート = 1 5 0 M H z、第 2 の等化回路 5 0 のデータレート = 1 0 0 M H z のようにデータレートが異なる場合を示しており、第 2 の等化回路 5 0 のタップ係数をタップ係数補間回路 9 4 により $150 / 100 = 1.5$ 倍補間したタップ係数を第 1 の等化回路 1 0 に与えるようになっている。

【 0 2 6 9 】

なお、タップ打ち切り回路 9 2 又はゼロ追加回路 9 3 は本質的でないので省略されている。

【 0 2 7 0 】

なお、図 5 5 に示すように、タップ係数更新回路 9 1 とタップ係数補間回路 9 4 の順序を入れ換えた構成としてもよい。

【 0 2 7 1 】

上記第 1 の等化回路 1 0 のサンプリング周波数がチャンネルクロック周波数と異なる場合に使用するタップ係数変換回路 9 0 E の具体的な構成例を図 5 6 に示す。

【 0 2 7 2 】

この図 5 6 に示すタップ係数変換回路 9 0 E は、畳み込み積分回路 9 1 1、タップ係数メモリ 9 1 2、更新トリガカウンタ 9 1 3、 $\times 0.67$ 間引き回路 9 1 4 及び $\times 1.5$ 補間回路 9 1 5 により構成されている。

【 0 2 7 3 】

このタップ係数変換回路 9 0 E では、 $\times 0.67$ 間引き回路 9 1 4 によって第 1 の等化回路 1 0 の現タップ係数を $S2/S1$ 間引きしたタップ係数 A と、第 2 の等化回路 5 0 の現タップ係数 B について、畳み込み積分回路 9 1 1 により

$$C = A * B \quad (* \text{ は畳み込み積分を示す})$$

なる畳み込み積分を行う。そして、その畳み込み積分結果 C を $\times 1.5$ 補間回路 9 1 5 で $S1/S2$ 倍補間することにより得られるタップ係数 D を第 1 の等化回路 1 0 の次タップ係数とする。

【 0 2 7 4 】

上記タップ係数変換回路 9 0 E は、図 3 3 に示したタップ係数更新回路 9 1 と同様に、更新トリガ信号としてドラム回転パルスが更新トリガカウンタに与えられる。また、上記タップ係数変換回路 9 0 E には、図示しないシステムコントローラから動作開始時の初期化信号を受け取る。そして、更新トリガカウンタは、偶数番目のトリガ信号を更新信号及びフラット化信号として出力する。

【 0 2 7 5 】

そして、タップ係数メモリは、更新信号でタップ係数 D をラッチする。

【 0 2 7 6 】

また、第 2 の等化回路 5 0 の次伝達特性は、フラット化信号でフラット化される。

【0277】

ここで、上記×1. 5補間回路915は、例えば図57に示すように、3倍補間回路915A、1/2間引き回路915B、×2回路915C及び24タップ打ち切り回路915Dにより構成される。すなわち、この×1. 5補間回路915では3倍補間回路915Aにより3倍補間してから、1/2間引き回路915Bによって1/2に間引くことで×1. 5補間を行う。なお、上記3倍補間回路915Aは、2ゼロ挿入回路915A1、LPF915A2及び×3回路915A3により構成される

1. 5倍補間するとタップ数が24タップが36タップに増えてしまうので、24タップ打ち切り回路915Dにより、タップ係数を24タップで打ち切る。

【0278】

上記×1. 5補間回路915は、図58に示すように、16タップ打ち切り回路915Eを入力段に配置して、予め24タップのタップ係数を16タップに打ち切っておいてから3倍補間するように構成してもよい。

【0279】

また、×0. 67間引き回路914は、図59に示すように、×2補間回路914A、1/3間引き回路914B、×3回路914C及び16タップ係数を24タップ係数に変換するためのゼロ追加回路914Eにより構成される。

【0280】

上記×0. 67間引き回路914は、図60に示すように、24タップ係数を36タップ係数に変換するためのゼロ追加回路914Eを入力段に配置して、予め24タップのタップ係数を36タップ係数に変換しておいてから2倍補間するように構成してもよい。

【0281】

また、上記図56に示したタップ係数変換回路90Eにおける×0. 67間引き回路914を省略して、図61や図62に示すような構成とすることもできる。

【0282】

この図61に示すタップ係数変換回路90Eは、×1. 5補間回路915をタ

ップ係数メモリ 9 1 2 の後段に移動し、 $\times 1.5$ 補間回路 9 1 5 からタップ係数を第 1 の等化回路 1 0 に与えるようにしたもので、上述の図 5 4 に示した再生系 1 0 0 E に対応している。

【 0 2 8 3 】

また、図 6 2 に示すタップ係数変換回路 9 0 E は、第 2 の等化回路 5 0 の現タップ係数を $\times 1.5$ 補間回路 9 1 5 を介してタップ係数更新回路 9 1 に与えるようにしたもので、上述の図 5 5 に示した再生系 1 0 0 E に対応している。この図 6 2 に示すタップ係数変換回路 9 0 E では、第 1 の等化回路 1 0 の現タップ係数 A と、 $\times 1.5$ 補間回路 9 1 5 によって第 2 の等化回路 5 0 の現タップ係数を S_1 / S_2 補間したタップ係数 B について、畳み込み積分回路 9 1 1 により

$$C = A * B \quad (* \text{ は畳み込み積分を示す})$$

なる畳み込み積分を行う。そして、その畳み込み積分結果 C を第 1 の等化回路 1 0 の次タップ係数とする。タップ係数メモリ 9 1 2 は、更新信号で畳み込み積分結果 C すなわち第 1 の等化回路 1 0 の次タップ係数をラッチする。第 2 の等化回路 5 0 の次伝達特性は、フラット化信号でフラットにされる。

【 0 2 8 4 】

以上、第 1 及び等化回路 1 0, 5 0 にトランスバーサルフィルタを採用する場合を述べたが、一般化すると、第 1 の等化回路 1 0 のサンプリング周波数がチャンネルクロック周波数よりも高い場合には、上記第 1 の等化回路 1 0 の次伝達特性を、上記第 2 の等化回路 5 0 の周波数帯域内に当たる帯域 a と上記第 2 の等化回路 5 0 の周波数帯域外に当たる帯域 b に分けて、上記第 1 の等化回路 1 0 の帯域 a の次伝達特性を当該第 1 の等化回路 1 0 の帯域 a の現伝達特性 \times 上記第 2 の等化回路 5 0 の現伝達特性とし、上記第 1 の等化回路 1 0 の帯域 b の次伝達特性を 0 とし、かつ、上記第 2 の等化回路 5 0 の次伝達特性をフラット化することにより、対応することができる。

【 0 2 8 5 】

また、このように第 1 の等化回路 1 0 のサンプリング周波数がチャンネルクロック周波数と異なる場合にも、上述の第 1 の等化回路 1 0 のサンプリング周波数がチャンネルクロック周波数に略等しい場合の図 4 4 や図 4 5 に示した再生系 1

0 0 C、1 0 0 Dと同様に、第 2 の等化回路 5 0 を省略して、図 6 3 に示すテープストリーマの再生系 1 0 0 F のように構成を簡略化することができる。

【 0 2 8 6 】

第 2 の等化回路 5 0 を省略して場合のタップ係数変換回路 9 0 F では、その要部構成を図 6 4 に示してあるように、上述の図 4 2 に示したタップ係数更新回路 9 1 A により得られる第 1 の等化回路 1 0 の現タップ係数 A を $\times 1.5$ 補間回路 9 1 5 を介して第 1 の等化回路 1 0 に与える。

【 0 2 8 7 】

適応等化回路 8 0 が出力するタップ係数更新情報 $\Delta i(k)$ を第 1 の等化回路 1 0 のタップ係数に作用させるために、 $\times 1.5$ 補間回路前段から、第 1 の等化回路 1 0 の現タップ係数 D を f_c / S_1 間引きしたタップ係数 A を取り出している。

【 0 2 8 8 】

タップ係数更新演算回路 9 1 A は、タップ係数メモリから出力される現タップ係数 $C1_i(k)$ と適応等化回路 8 0 が出力するタップ係数更新情報 $\Delta i(k)$ から、次タップ係数 $C1_{i+1}(k)$ を

$$C1_{i+1}(k) = C1_i(k) + \Delta i(k)$$

なる演算により求めて、第 1 の等化回路 1 0 の現タップ係数 A を更新する。

【 0 2 8 9 】

$\times 1.5$ 補間回路 9 1 5 は、タップ係数更新演算回路 9 1 A により更新された現タップ係数を S_1 / f_c 補間したタップ係数を算出し、第 1 の等化回路 1 0 のタップ係数 D とする。

【 0 2 9 0 】

【発明の効果】

本発明に係る信号処理回路では、PLL 回路前段の第 1 の等化回路をトランスバーサルフィルタにすることにより、上記 PLL 回路の動作を安定化することができる。

【 0 2 9 1 】

すなわち、アナログイコライザは伝達特性の可変範囲が狭いので等化誤差が残留するが、トランスバーサルフィルタの可変範囲は広いので等化誤差をミニマイ

ズできるので、その結果PLL回路の動作を安定化することができる。

【0292】

また、本発明に係る信号処理回路では、第1の等化回路を適応等化することにより、上記PLL回路の動作を安定化させることができる。

【図面の簡単な説明】

【図1】

本発明を適用したDDS4規格に準拠したテープストリーマの再生系の構成を示すブロック図である。

【図2】

上記テープストリーマの再生系におけるPLL回路の原理的な構成を示すブロック図である。

【図3】

上記テープストリーマの再生系における補間回路の構成を示すブロック図である。

【図4】

上記補間回路による4倍補間の動作を模式的に示す図である。

【図5】

4倍補間回路の具体例を示すブロック図である。

【図6】

上記4倍補間回路を構成するゼロ3個挿入回路の動作を示すタイムチャートである。

【図7】

上記4倍補間回路による4倍補間処理過程での各種周波数スペクトラムを示す図である。

【図8】

×4補間フィルタに求められる伝達特性の例を示す図である。

【図9】

逆フーリエ変換で得たインパルス応答を64ポイントで打ち切った結果を示す図である。

【図 1 0】

6 0 0 M H z で動作する L P F のある時刻 m を観測した場合に、 $m = 4 n$ で係数 $k_1, k_4, k_8, k_{12} \dots$ の積和回路が非ゼロになる状態を示す図である。

【図 1 1】

6 0 0 M H z で動作する L P F のある時刻 m を観測した場合に、 $m = 4 n - 1$ で係数 $k_1, k_5, k_9, k_{13} \dots$ の積和回路が非ゼロになる状態を示す図である。

【図 1 2】

6 0 0 M H z で動作する L P F のある時刻 m を観測した場合に、 $m = 4 n - 2$ で係数 $k_2, k_6, k_{10}, k_{14} \dots$ の積和回路が非ゼロになる状態を示す図である。

【図 1 3】

6 0 0 M H z で動作する L P F のある時刻 m を観測した場合に、 $m = 4 n - 3$ で係数 $k_3, k_7, k_{11}, k_{15} \dots$ の積和回路が非ゼロになる状態を示す図である。

【図 1 4】

1 クロックで平行に 4 倍補間データを得るようにした補間回路の構成を示す図である。

【図 1 5】

ナイキスト周波数の $1/4$ でカットオフする L P F のインパルス応答を示す図である。

【図 1 6】

ナイキスト周波数の $1/16$ でカットオフする L P F のインパルス応答を示す図である。

【図 1 7】

直線補間回路の実現方法を模式的に示す図である。

【図 1 8】

4 倍補間回路と 4 倍直線補間回路を組み合わせ構成した 1 6 倍補間回路を示

すブロック図である。

【図 1 9】

1. 5 倍オーバーサンプリングされた P R 1 チャンネル出力例を示す図である。

【図 2 0】

上記 P R 1 チャンネル出力を $\times 16$ 倍補間した波形例を示す図である。

【図 2 1】

上記 P R 1 チャンネル出力を $\times 16$ 倍補間した波形例のアイパターンを示す図である。

【図 2 2】

上記テープストリーマの再生系における P L L 回路の具体的な構成例を示すブロック図である。

【図 2 3】

上記 P L L 回路におけるゼロクロス点検出回路の構成を示すブロック図である。

【図 2 4】

上記 P L L 回路の動作を示すタイムチャートである。

【図 2 5】

上記テープストリーマの再生系におけるバッファメモリの具体例を示すブロック図である。

【図 2 6】

上記バッファメモリの他の構成を示すブロック図である。

【図 2 7】

上記バッファメモリを構成しているデュアルポート R A M をリングメモリとして模式的に示す図である。

【図 2 8】

$\times 1$ A D C サンプル用の P L L 回路の構成を示すブロック図である。

【図 2 9】

$\times 1$ A D C サンプル用のバッファメモリの構成を示すブロック図である。

【図 3 0】

メモリバンクへの検出点データの格納状態を模式的に示す図である。

【図 3 1】

タップ係数設定回路の構成例を示すブロック図である。

【図 3 2】

タップ係数設定回路の他の構成例を示すブロック図である。

【図 3 3】

上記タップ係数設定回路に使用されるタップ係数更新回路の構成と示すブロック図である。

【図 3 4】

上記タップ係数更新回路の動作を示すタイムチャートである。

【図 3 5】

等化回路の更新動作例 ($t = 0$) を模式的に示す図である。

【図 3 6】

等化回路の更新動作例 ($t = 1$) を模式的に示す図である。

【図 3 7】

等化回路の更新動作例 ($t = 2$) を模式的に示す図である。

【図 3 8】

等化回路の更新動作例 ($t = 3$) を模式的に示す図である。

【図 3 9】

等化回路の更新動作例 ($t = 4$) を模式的に示す図である。

【図 4 0】

タップ係数更新回路の他の構成例を示すブロック図である。

【図 4 1】

伝達特性がフラット化されたトランスバーサルフィルタの説明に供する図である。

【図 4 2】

上記タップ係数更新回路のさらに他の構成例を示すブロック図である。

【図 4 3】

図 4 2 に示したタップ係数更新回路の動作を示すタイミングチャートである。

【図 4 4】

本発明を適用したテープストリーマの再生系の他の構成例を示すブロック図である。

【図 4 5】

本発明を適用したテープストリーマの再生系のさらに他の構成例を示すブロック図である。

【図 4 6】

本発明を適用したテープストリーマの再生系における総合伝達特性のインパルス応答特性の説明に供する図である。

【図 4 7】

$t = i$ における第 1 の等化回路の伝達特性の周波数応答例を示す図である。

【図 4 8】

$t = i$ における第 1 の等化回路のタップ係数例を示す図である。

【図 4 9】

$t = i$ における第 2 の等化回路の伝達特性の周波数応答例を示す図である。

【図 5 0】

$t = i$ における第 2 の等化回路のタップ係数例を示す図である。

【図 5 1】

タップ係数 $C1_i(k)$ とタップ係数 $C2_i(k)$ の畳み込み積分の結果を示す図である。

【図 5 2】

上記次タップ係数 $C1_i+1(k)$ を離散フーリエ変換して算出した総合伝達特性の周波数応答を示す図である。

【図 5 3】

図 5 2 に示した総合伝達特性の周波数応答の正しさを確かめるために、図 4 7 に示した第 1 の等化回路の伝達特性の周波数応答と図 4 9 に示した第 2 の等化回路の伝達特性の周波数応答のかけ算で算出した総合伝達特性の周波数応答を示す図である。

【図 5 4】

上記第 1 の等化回路のサンプリング周波数がチャンネルクロック周波数と異なる場合におけるタップ係数変換回路の構成を示すブロック図である。

【図 5 5】

上記タップ係数変換回路の他の構成例を示すブロック図である。

【図 5 6】

上記第 1 の等化回路のサンプリング周波数がチャンネルクロック周波数と異なる場合に使用するタップ係数変換回路の具体的な構成例を示すブロック図である。

【図 5 7】

上記タップ係数変換回路における $\times 1.5$ 補間回路の構成例を示すブロック図である。

【図 5 8】

上記 $\times 1.5$ 補間回路の他の構成例を示すブロック図である。

【図 5 9】

上記タップ係数変換回路における $\times 0.67$ 間引き回路の構成例を示すブロック図である。

【図 6 0】

上記タップ係数変換回路における $\times 0.67$ 間引き回路の他の構成例を示すブロック図である。

【図 6 1】

上記第 1 の等化回路のサンプリング周波数がチャンネルクロック周波数と異なる場合に使用するタップ係数変換回路の他の構成例を示すブロック図である。

【図 6 2】

上記第 1 の等化回路のサンプリング周波数がチャンネルクロック周波数と異なる場合に使用するタップ係数変換回路のさらに他の構成例を示すブロック図である。

【図 6 3】

本発明を適用したテープストリーマの再生系の他の構成例を示すブロック図である。

【図 6 4】

第 2 の等化回路を省略した場合のタップ係数設定回路の要部構成を示すブロック図である。

【図 6 5】

DDS 4 規格に準拠した従来のテープストリーマの記録系の構成を示すブロック図である。

【図 6 6】

DDS 4 規格に準拠した従来のテープストリーマの再生系の構成を示すブロック図である。

【図 6 7】

DDS 4 規格で採用されている PR 1 伝達特性を示す図である。

【図 6 8】

上記テープストリーマの再生系における PR 1 チャンネル出力アイパターンを示す図である。

【図 6 9】

再生ヘッドが摩耗あるいは汚れて再生周波数特性が工場出荷時から変化してしまった場合に相当するアイパターンを示す図である。

【図 7 0】

オフトラックで再生信号が低下してしまった場合のアイパターンを示す図である。

【図 7 1】

第 1 の等化回路にデジタルトランスバーサルフィルタを採用したテープストリーマの再生系の構成を示すブロック図である。

【図 7 2】

PLL 回路をデジタル入力タイプにしたテープストリーマの再生系の構成を示すブロック図である。

【図 7 3】

2 倍オーバーサンプリング時の PR 1 チャンネル出力アイパターンを示す図である。

【図 74】

3 倍オーバーサンプリング時の P R 1 チャンネル出力アイパターンを示す図である。

【図 75】

4 倍オーバーサンプリング時の P R 1 チャンネル出力アイパターンを示す図である。

【図 76】

6 倍オーバーサンプリング時の P R 1 チャンネル出力アイパターンを示す図である。

【図 77】

10 倍オーバーサンプリング時の P R 1 チャンネル出力アイパターンを示す図である。

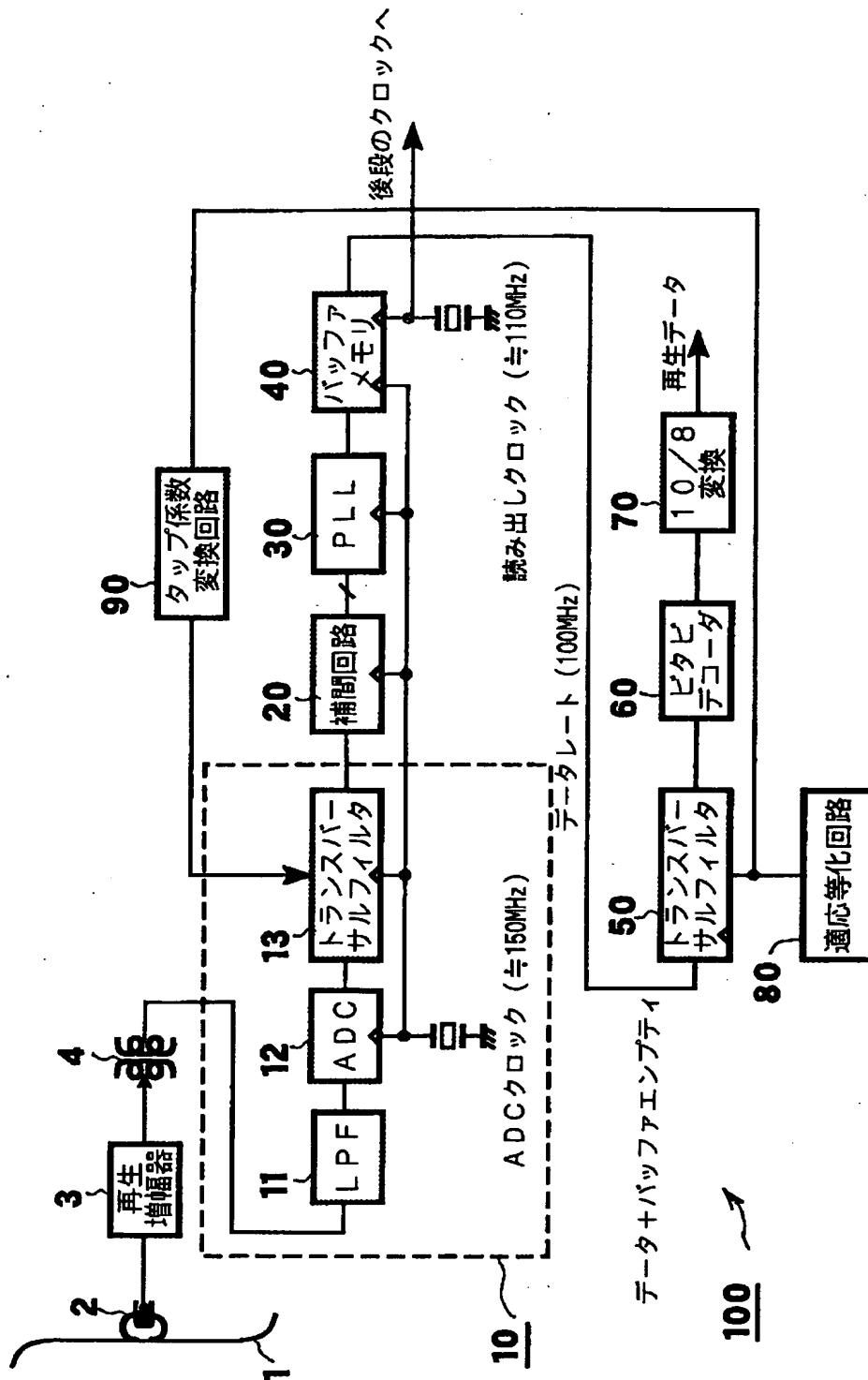
【符号の説明】 1 磁気テープ、2 再生ヘッド、3 再生増幅器、4 ロータリトランス、10 第1の等化回路、11 LPF、12 ADC、13, 13A, 13B トランスバーサルフィルタ、20, 20A, 20B, 20C 補間回路、21 ゼロ挿入回路、22 LPF、23 かけ算回路、30 PLL 回路、31 ゼロクロス点検出回路、32 周期検出部、33 間引き補正量計算部、34 間引き周期補正部、35 次検出点絶対番号計算部、36, 37 検出部、40, 41A, 41B, 41C バッファメモリ、41 デュアルポートRAM、42 バッファエンプティ検出回路、43 書き込みアドレスカウンタ、44 読み出しアドレスカウンタ、50 第2の等化回路、60 ビタビデコード、70 10/8変換回路、80 適応等化回路、90, 90A, 90B, 90E, 90F タップ係数変換回路、91, 91A タップ係数更新回路、92 打ち切り回路、93 ゼロ追加回路、94 タップ係数補間回路、100, 100A, 100B, 100C, 100D, 100E, 100F 再生系、401 カウンタ、402 剰余(mod) 回路、403 加算器、405, 406 切替え回路、407, 408 メモリバンク、421 剰余(mod) 回路、422 アドレス差検出回路、423 判定回路、428 VCO、911 畳み込み積分回路、911A タップ係数更新演算回路、912 タップ係数メモリ、9

1 3 更新トリガカウンタ、9 1 4 $\times 0.67$ 間引き回路、9 1 5 $\times 1.5$
補間回路

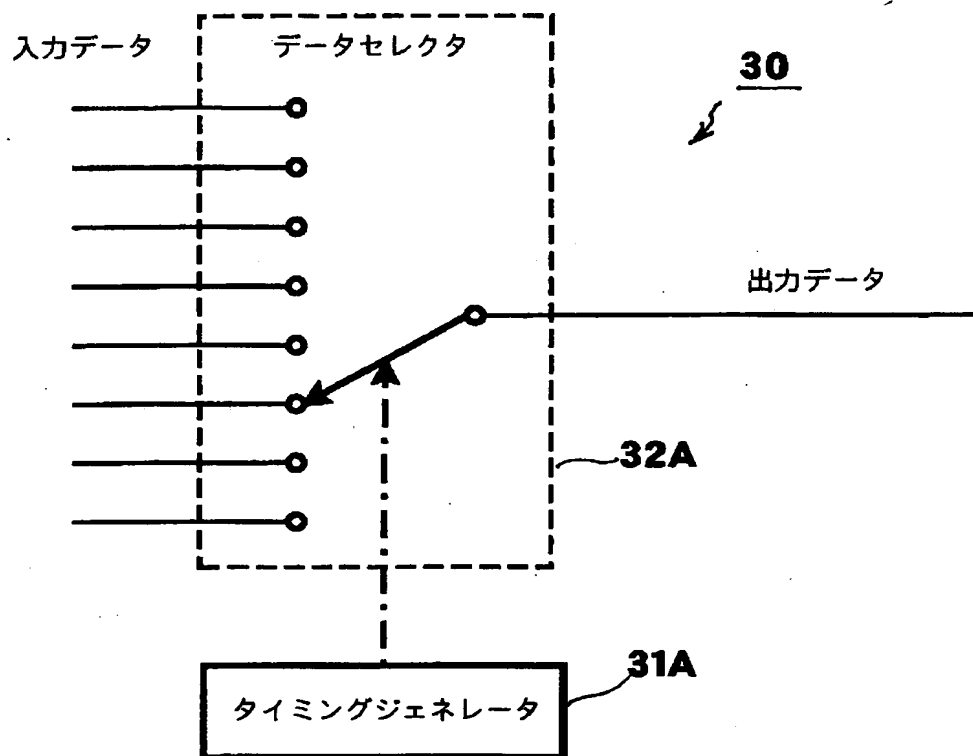
【書類名】

図面

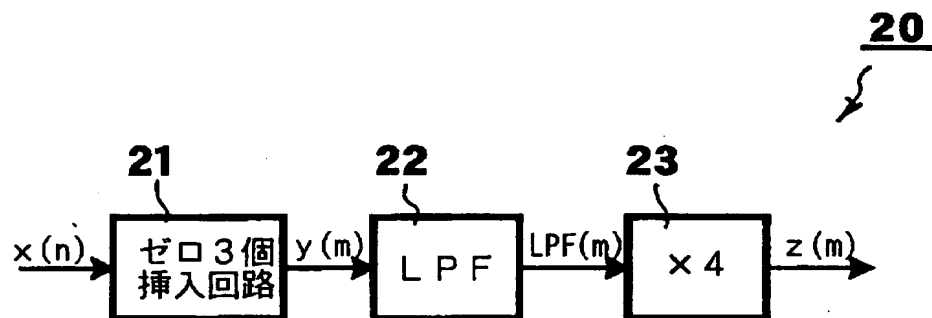
【図 1】



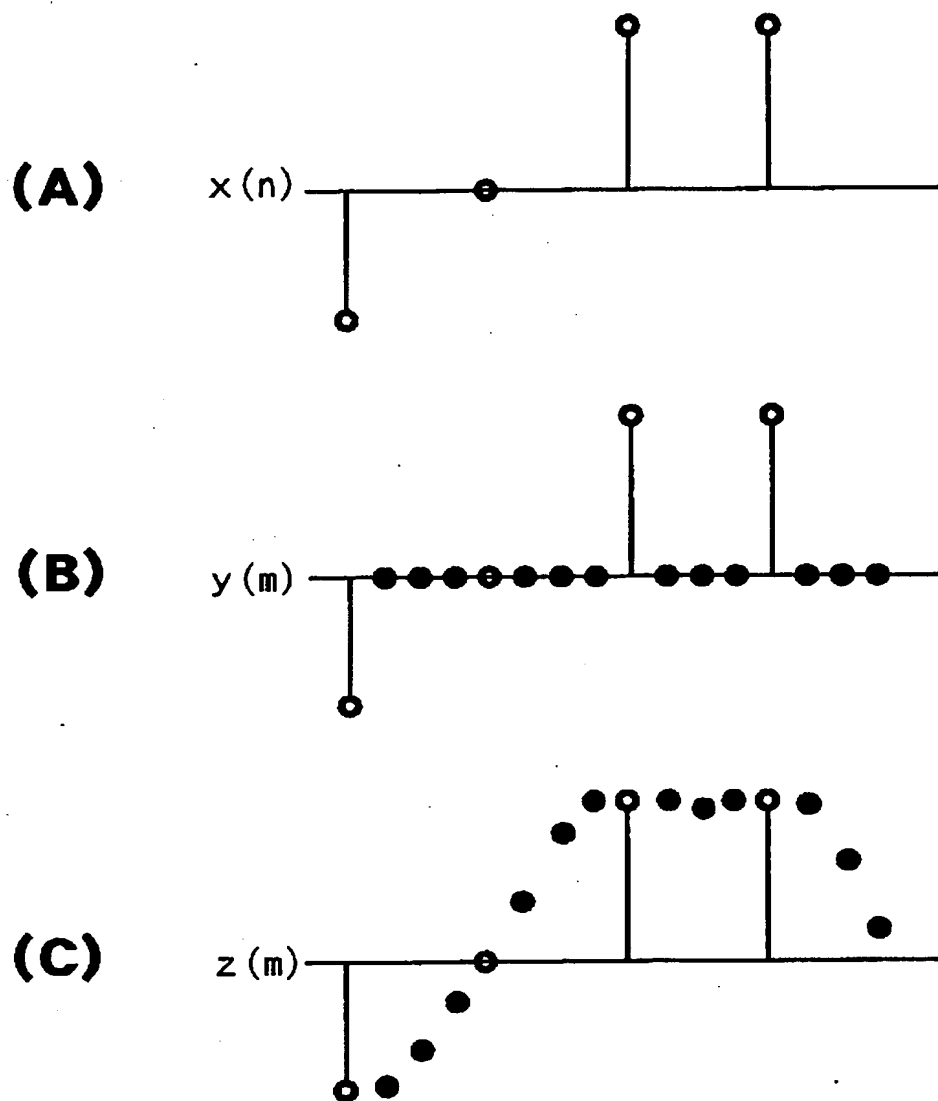
【図 2】



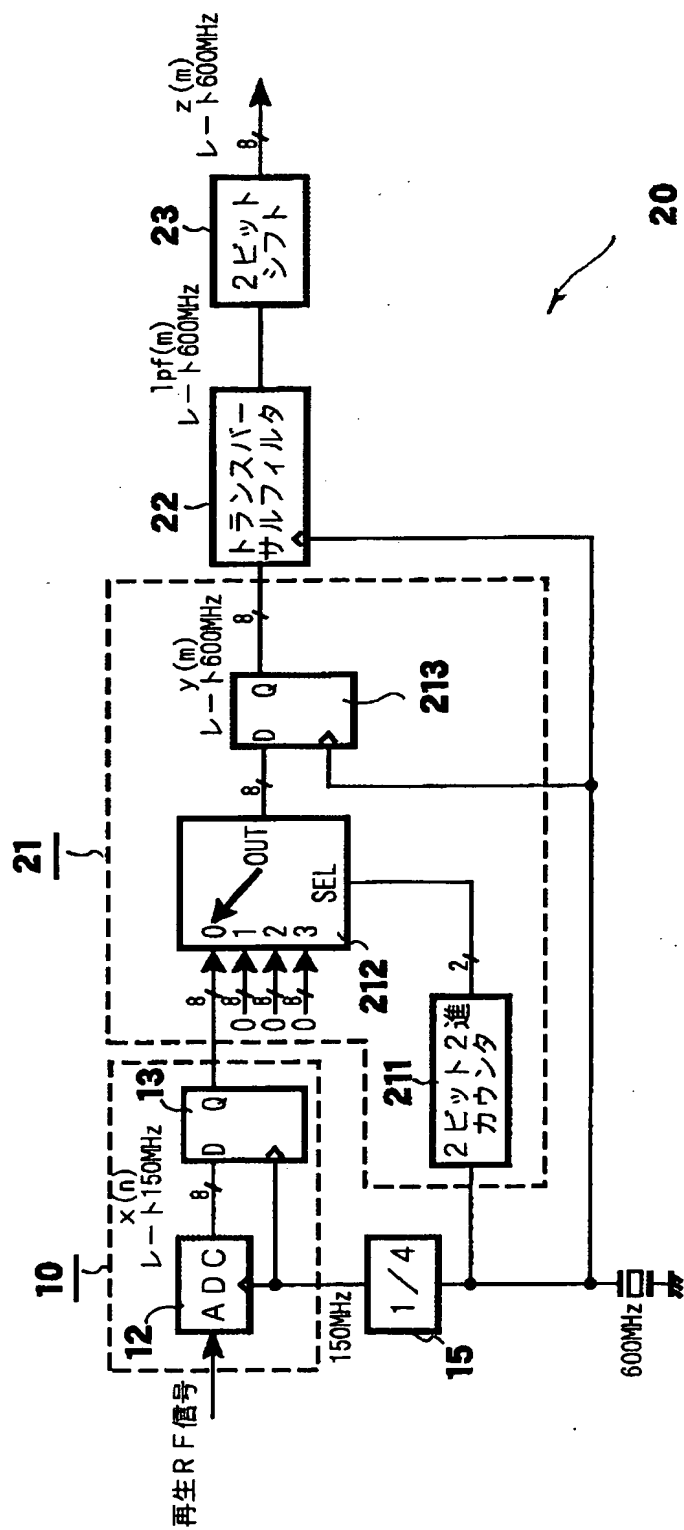
【図 3】



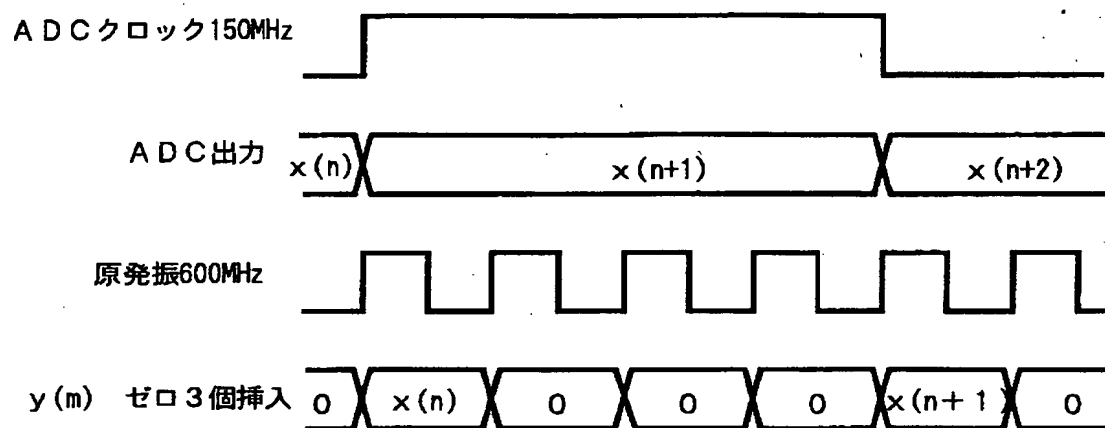
【図4】



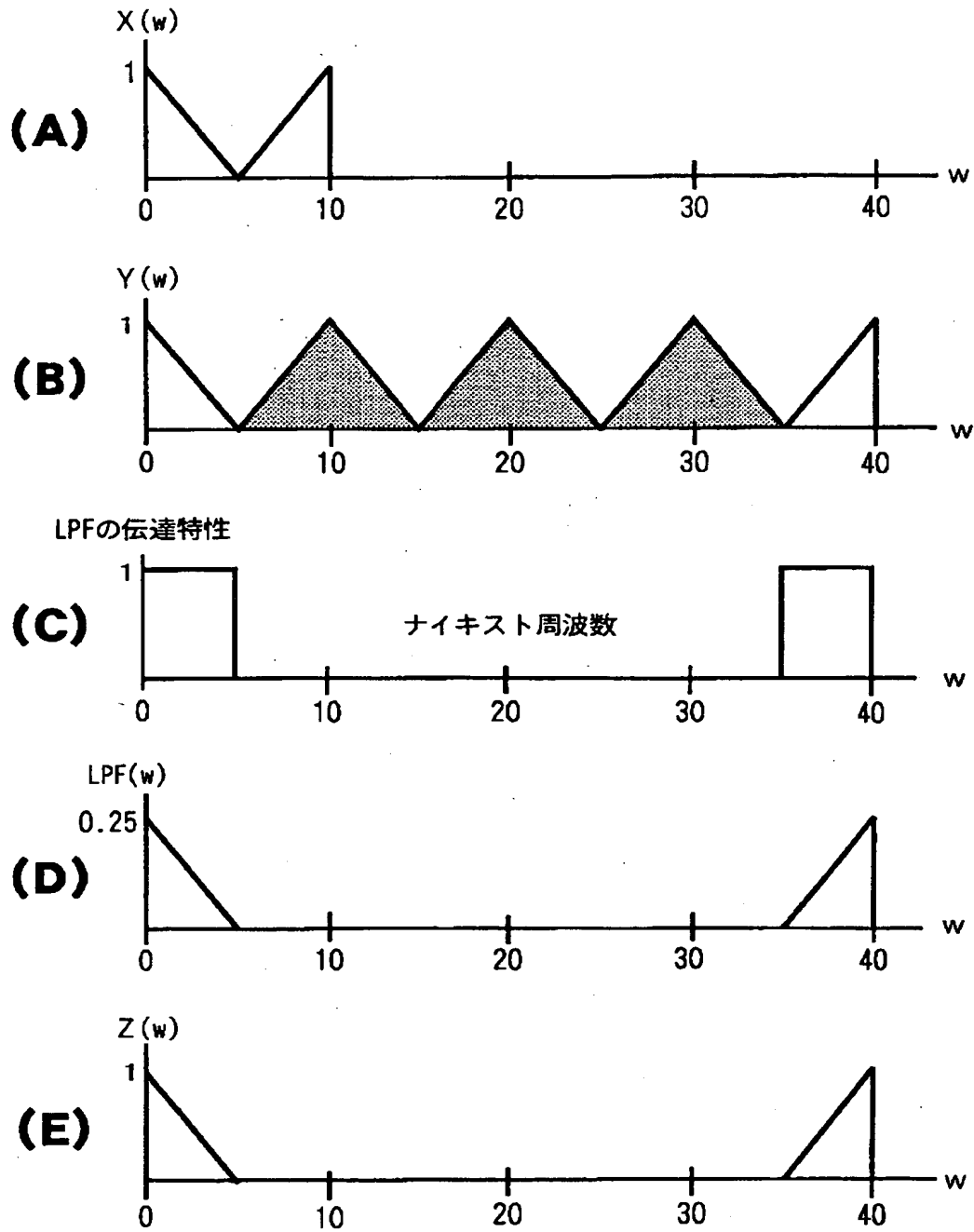
【図 5】



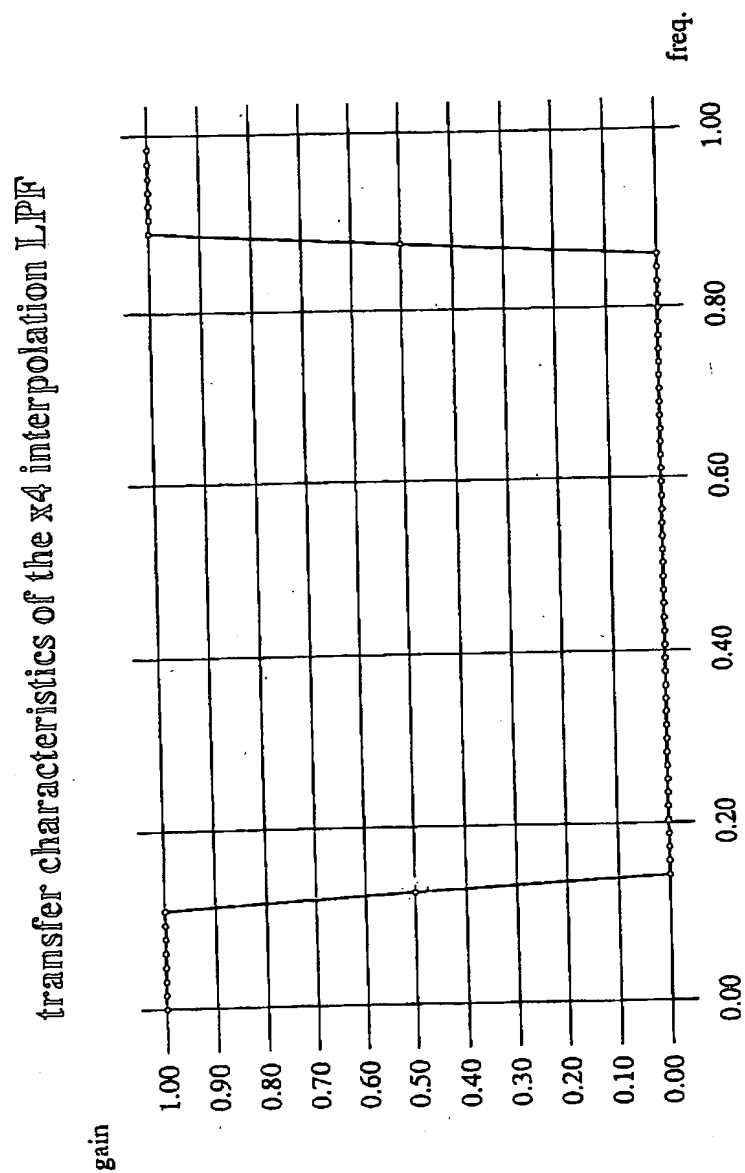
【図 6】



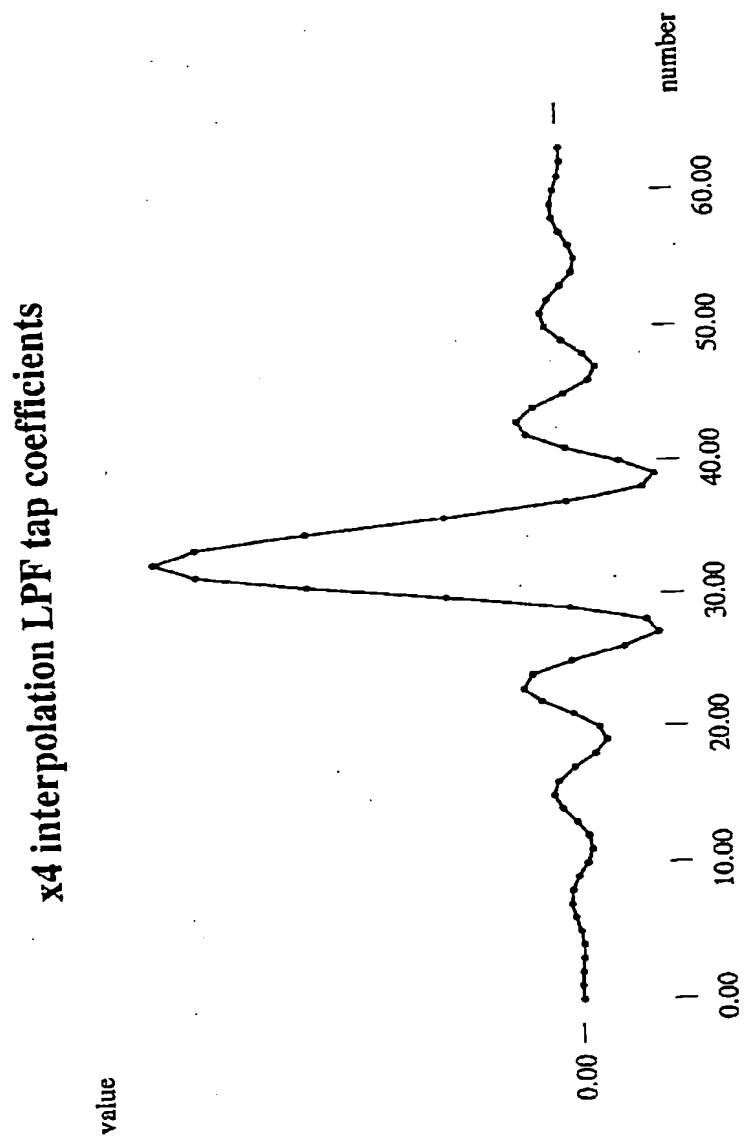
【図 7】



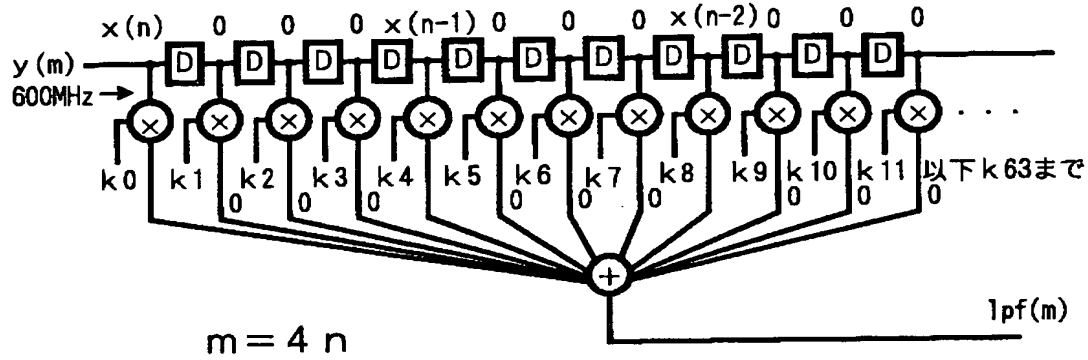
【図 8】



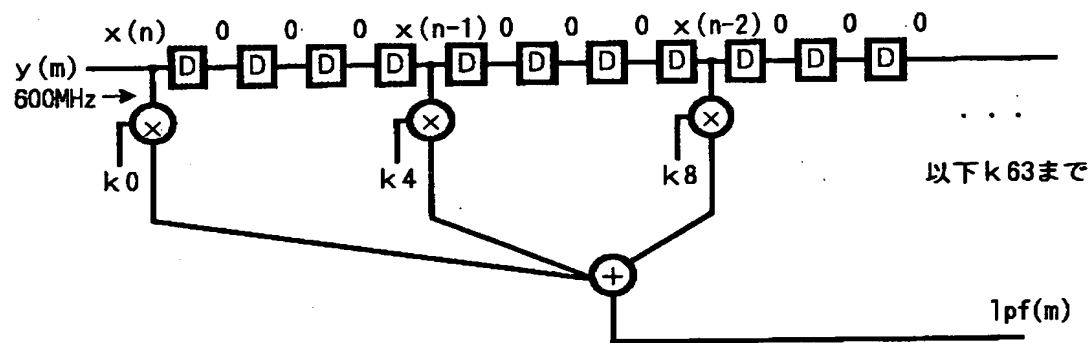
【図 9】



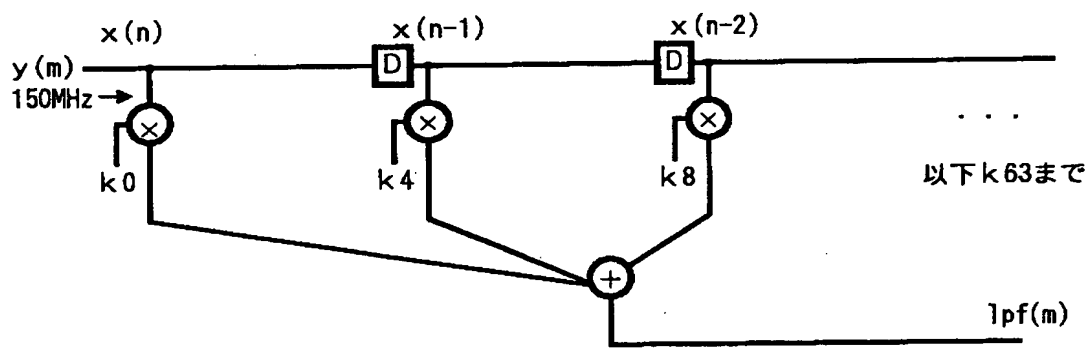
【図 1 0】



(A)

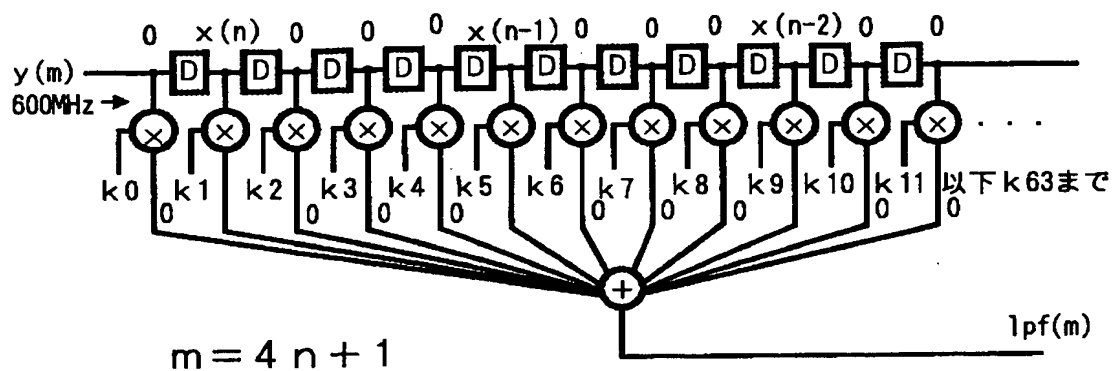


(B)

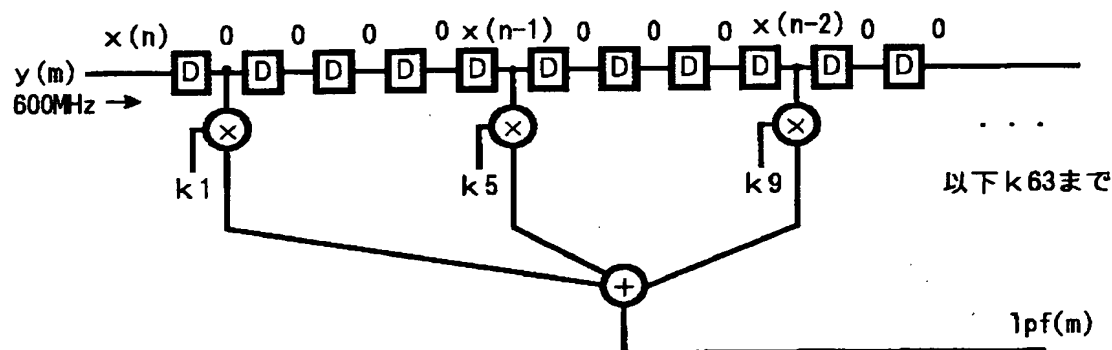


(C)

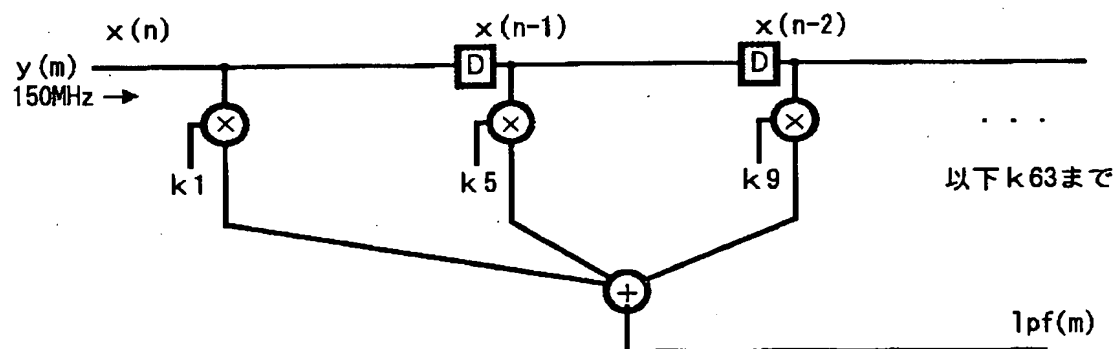
【図 11】



(A)

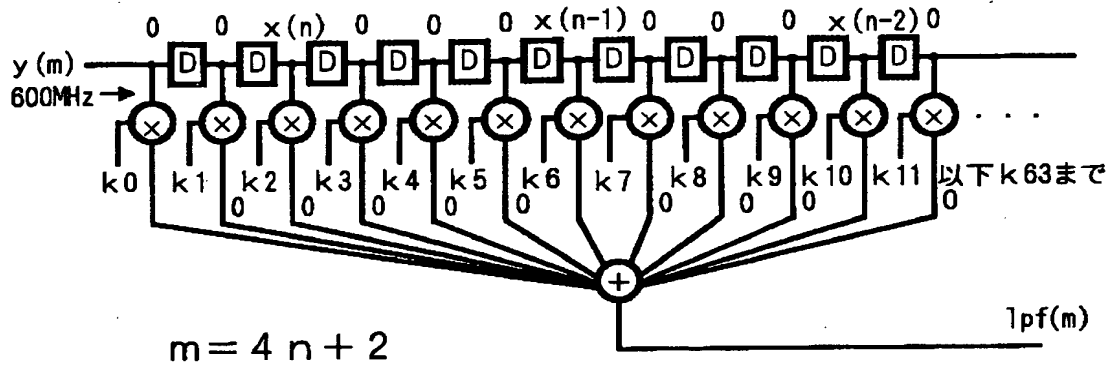


(B)

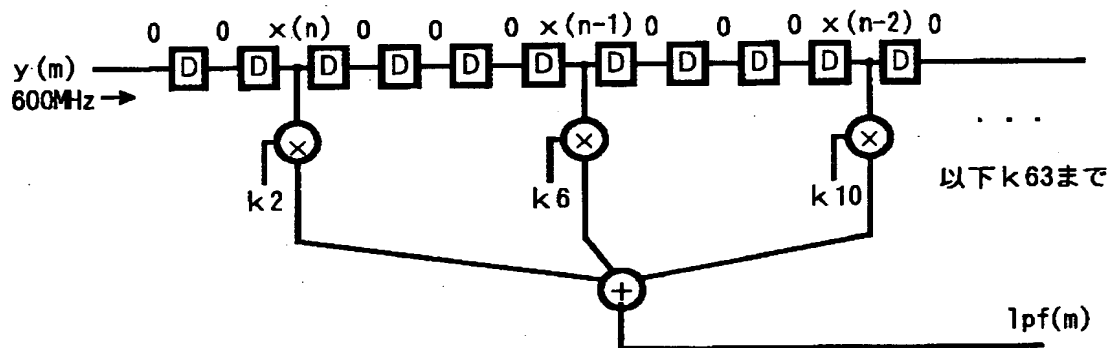


(C)

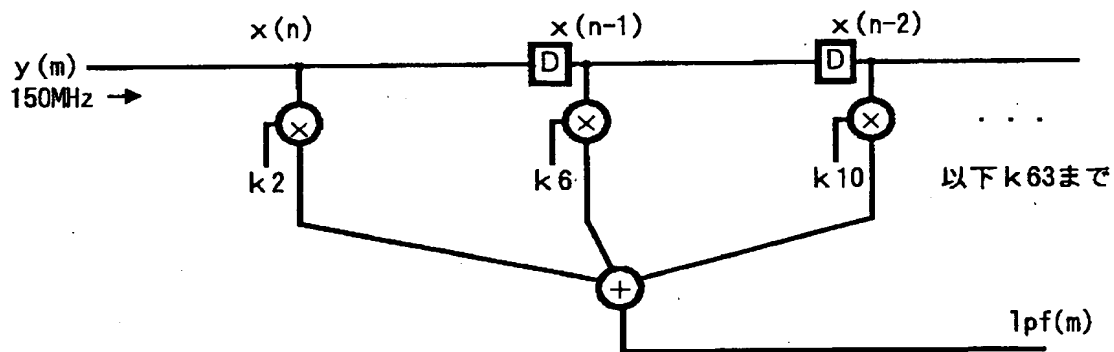
【図 12】



(A)

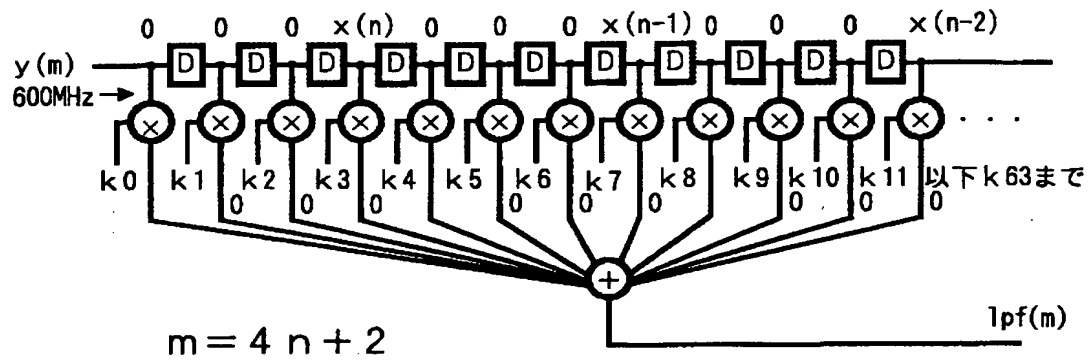


(B)

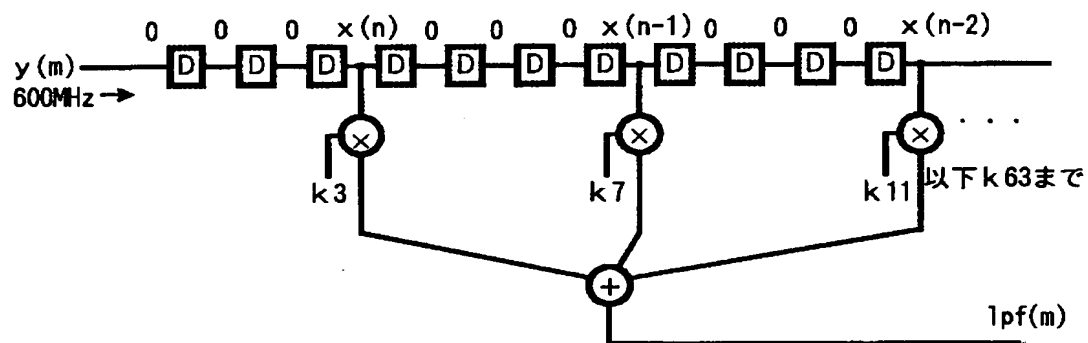


(C)

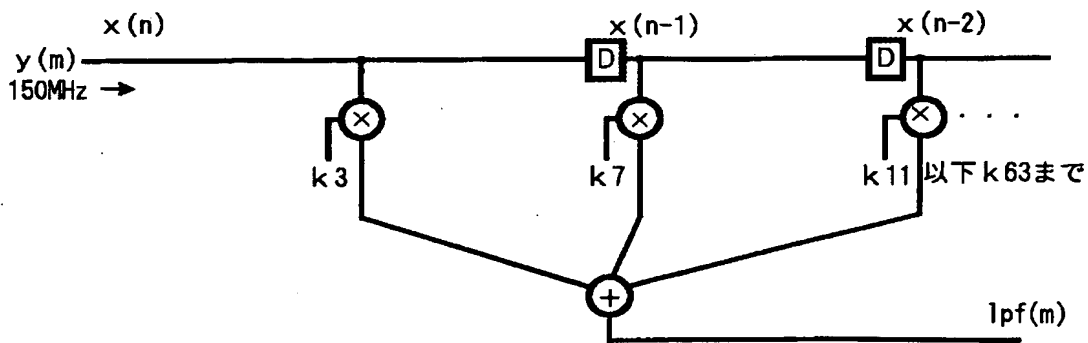
【図 1 3】



(A)

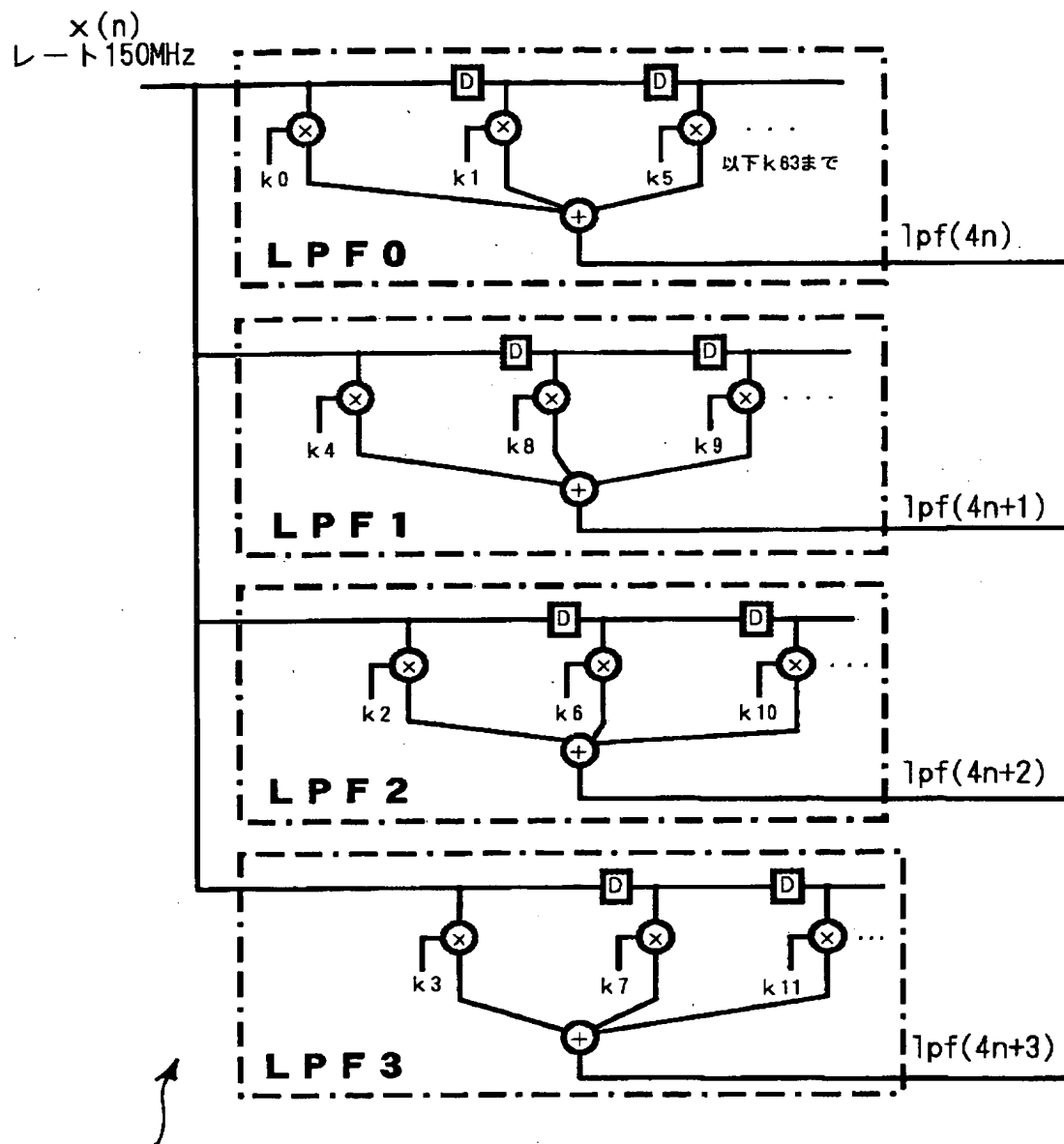


(B)



(C)

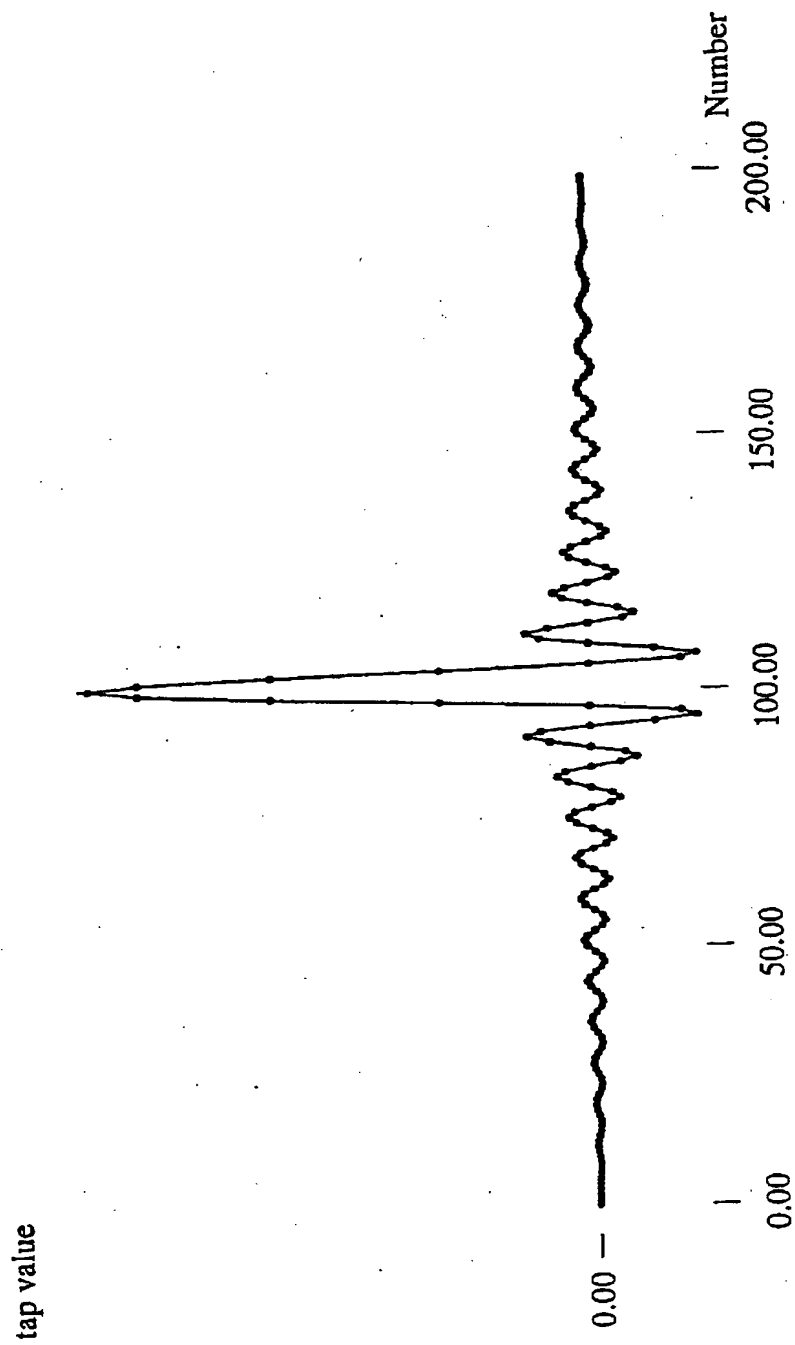
【図 14】



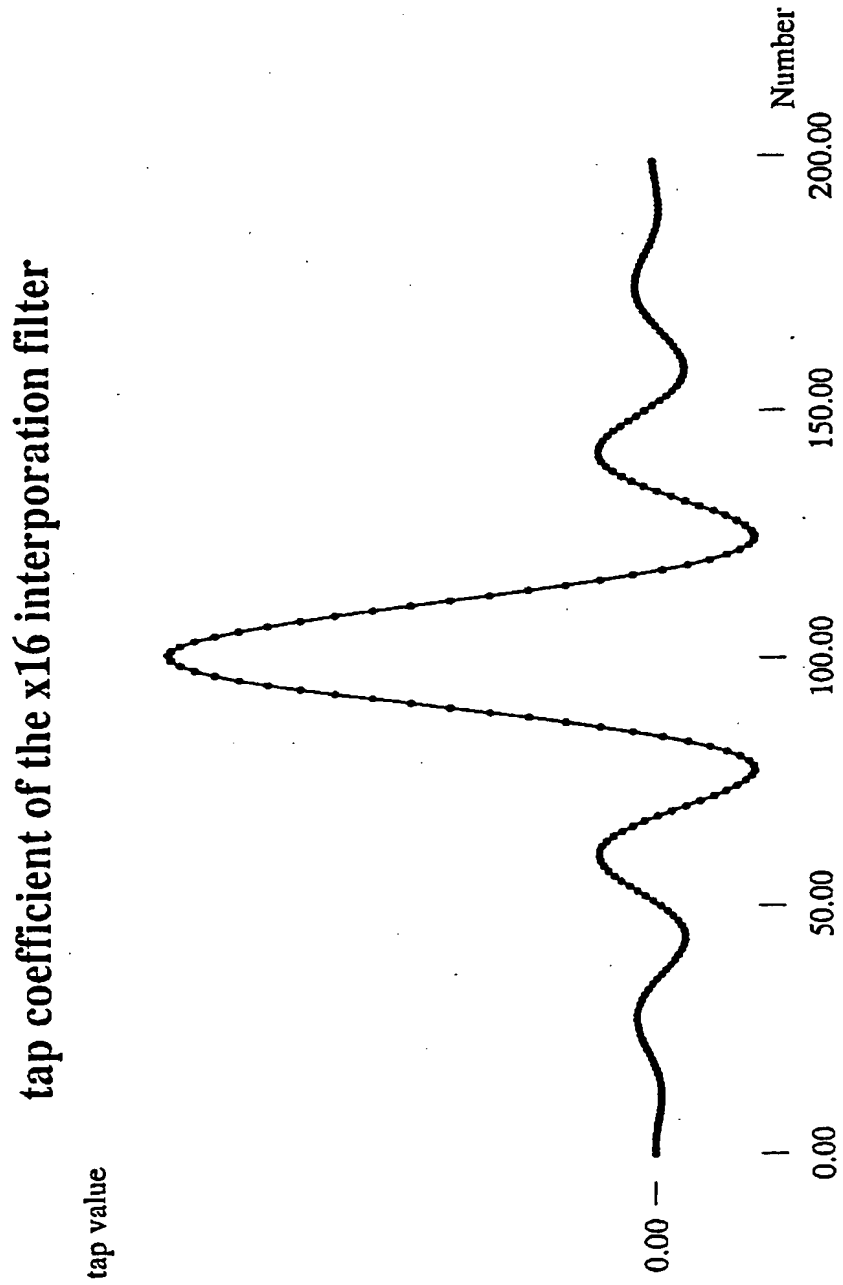
20A

【図 1 5】

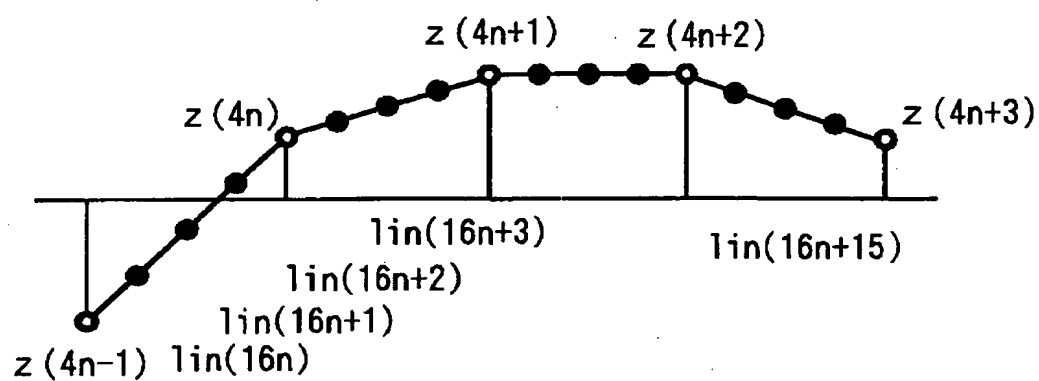
tap coefficient of the x4 interpolation filter



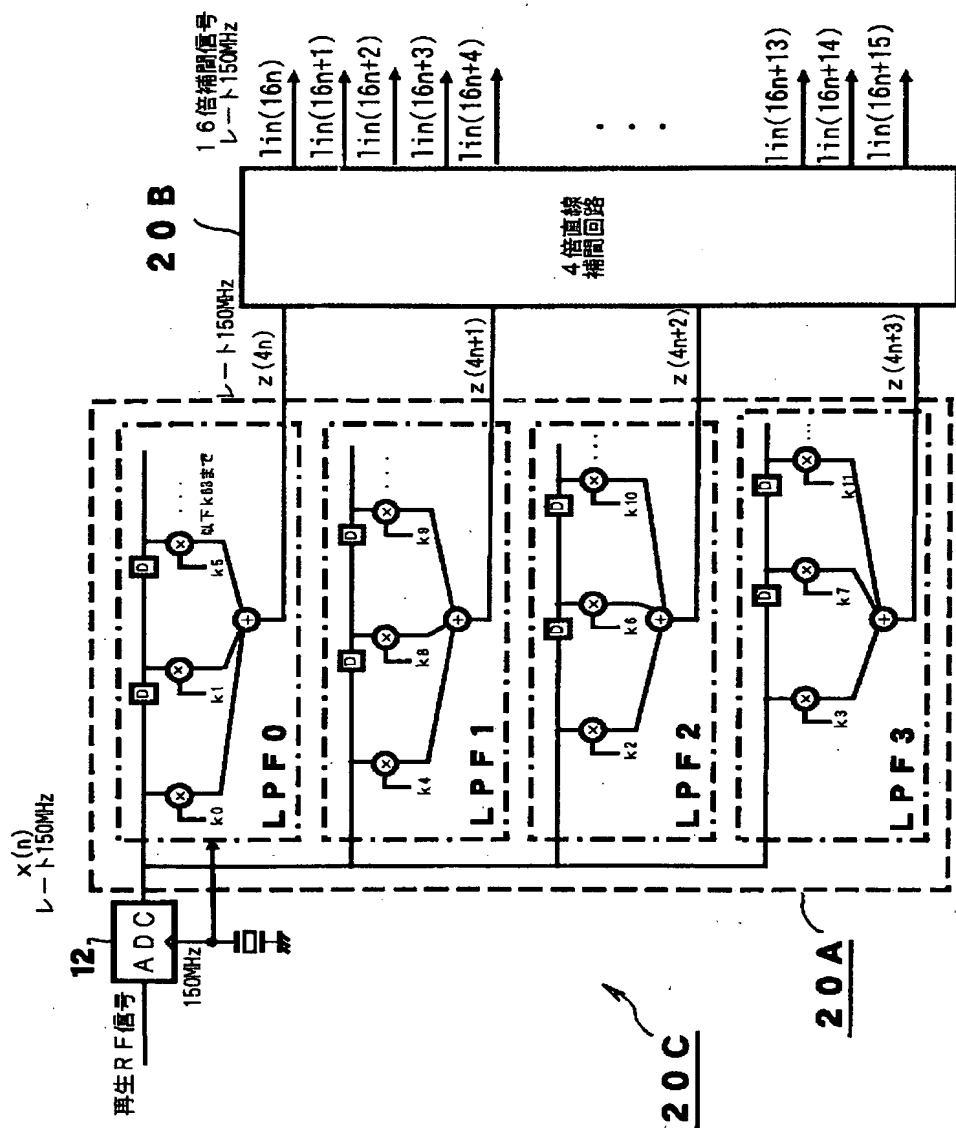
【図 1 6】



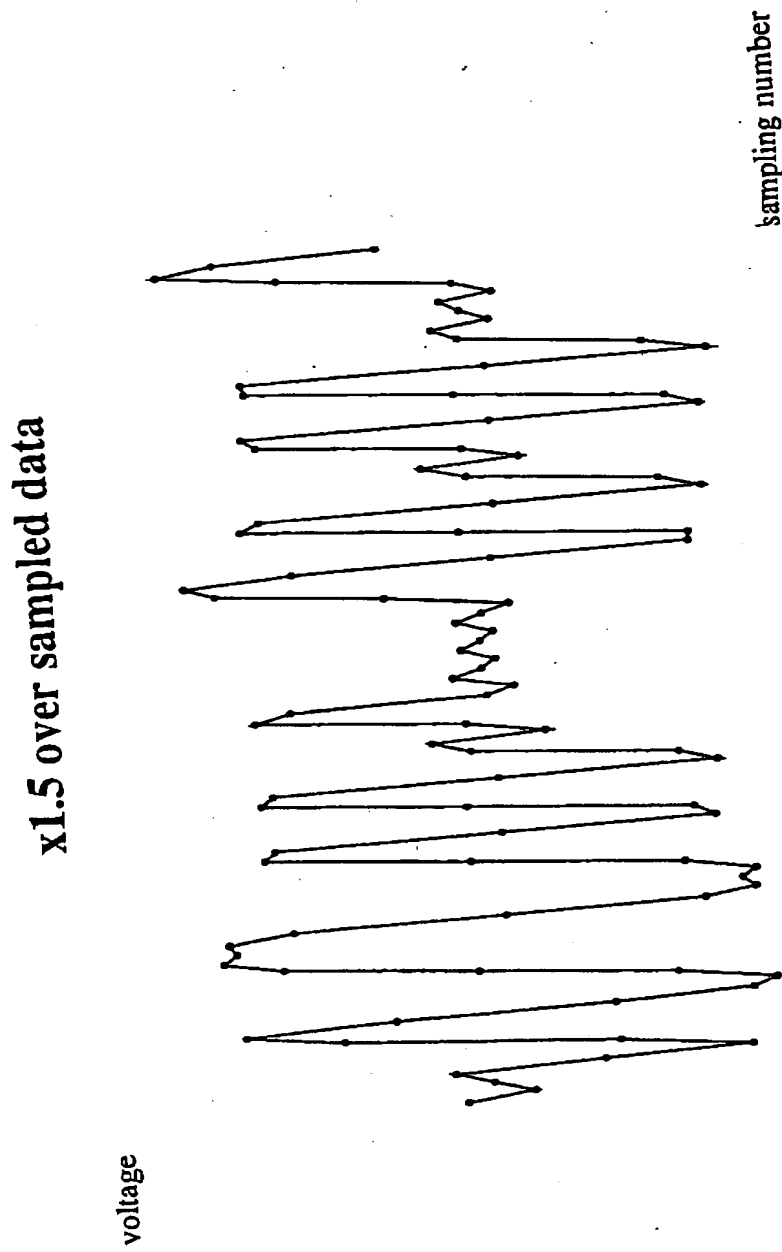
【図 1 7】



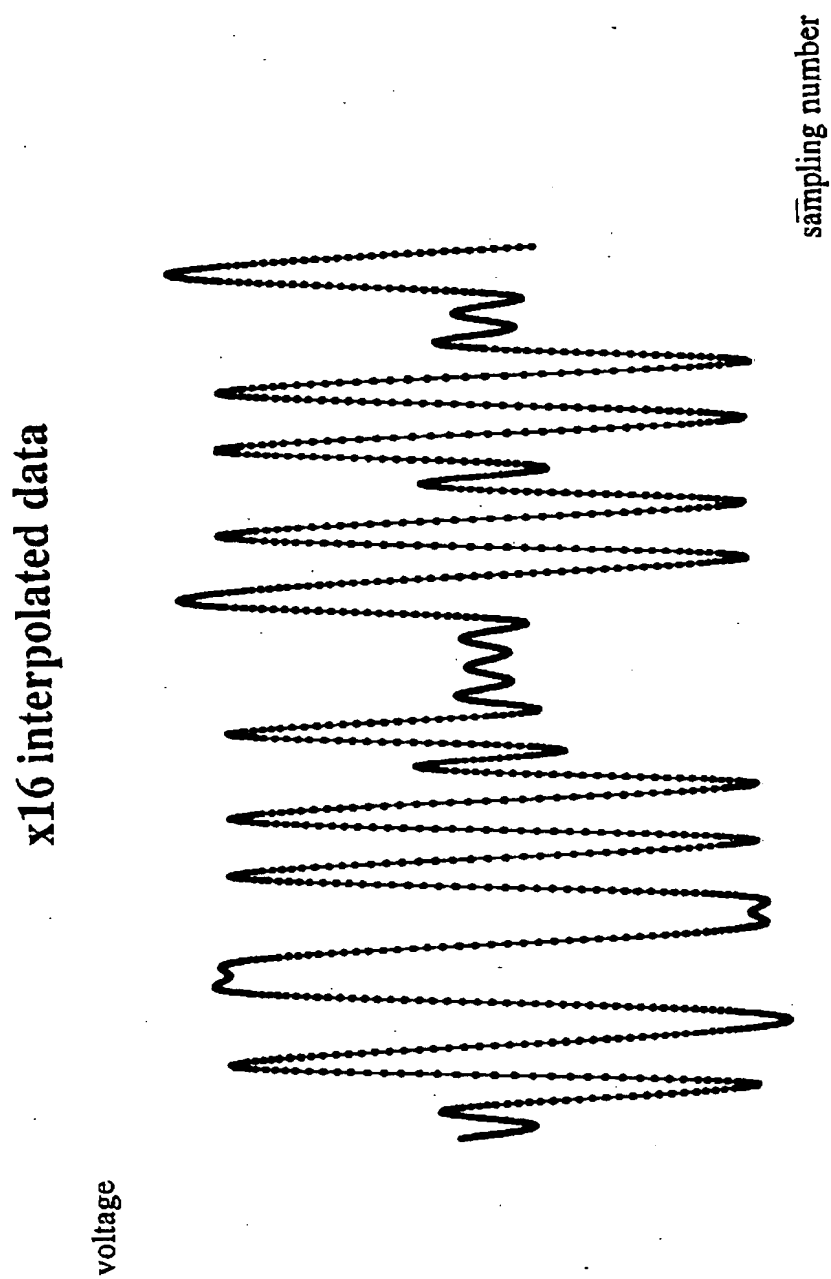
【図 18】



【図19】

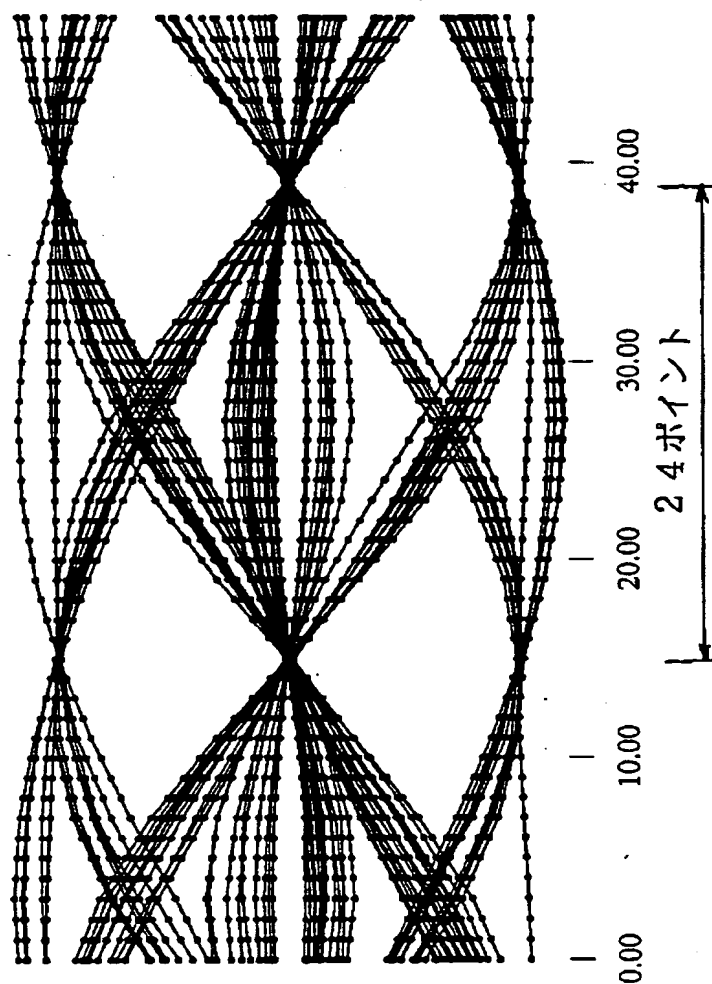


【図 2 0】

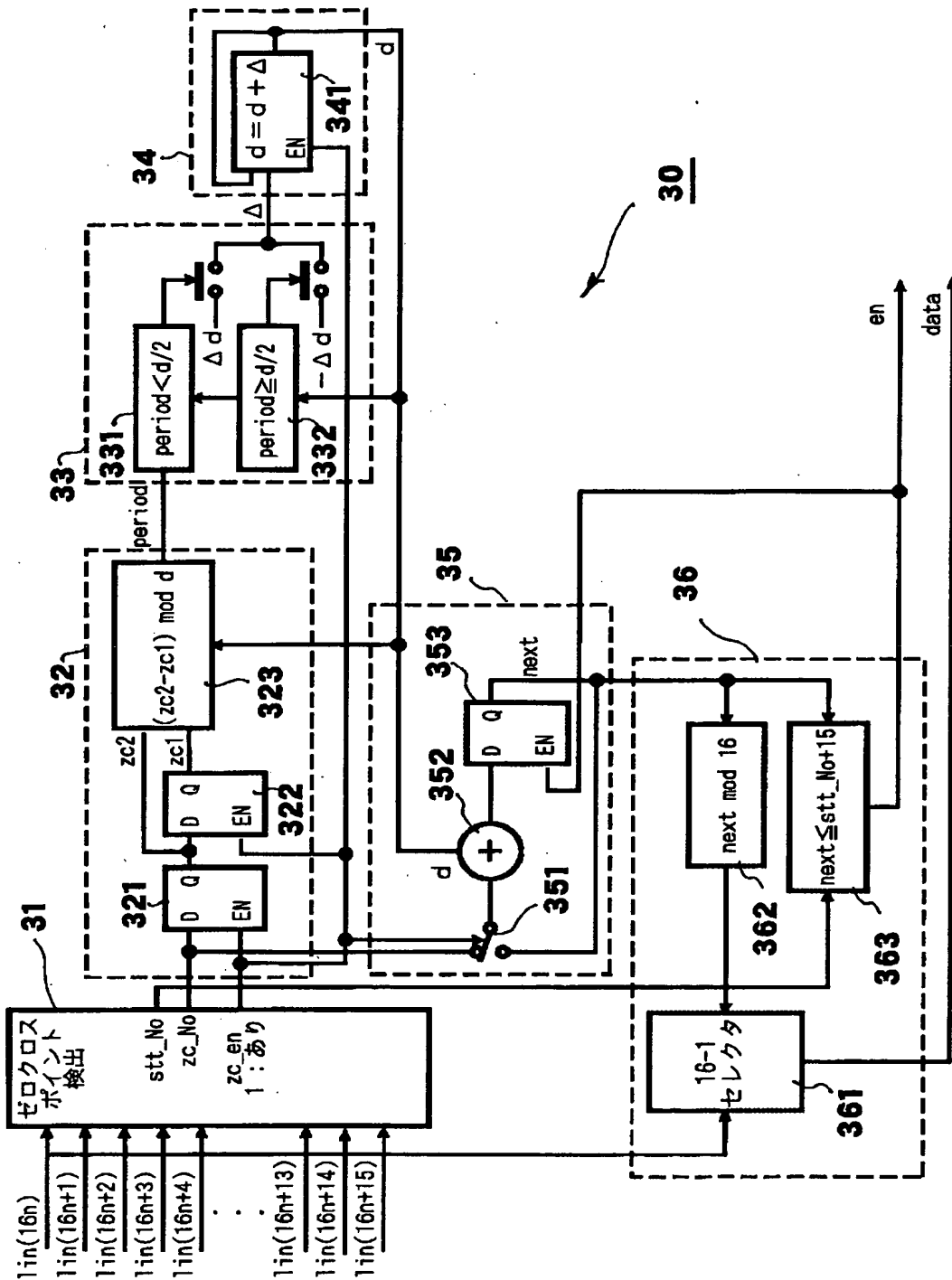


【図 21】

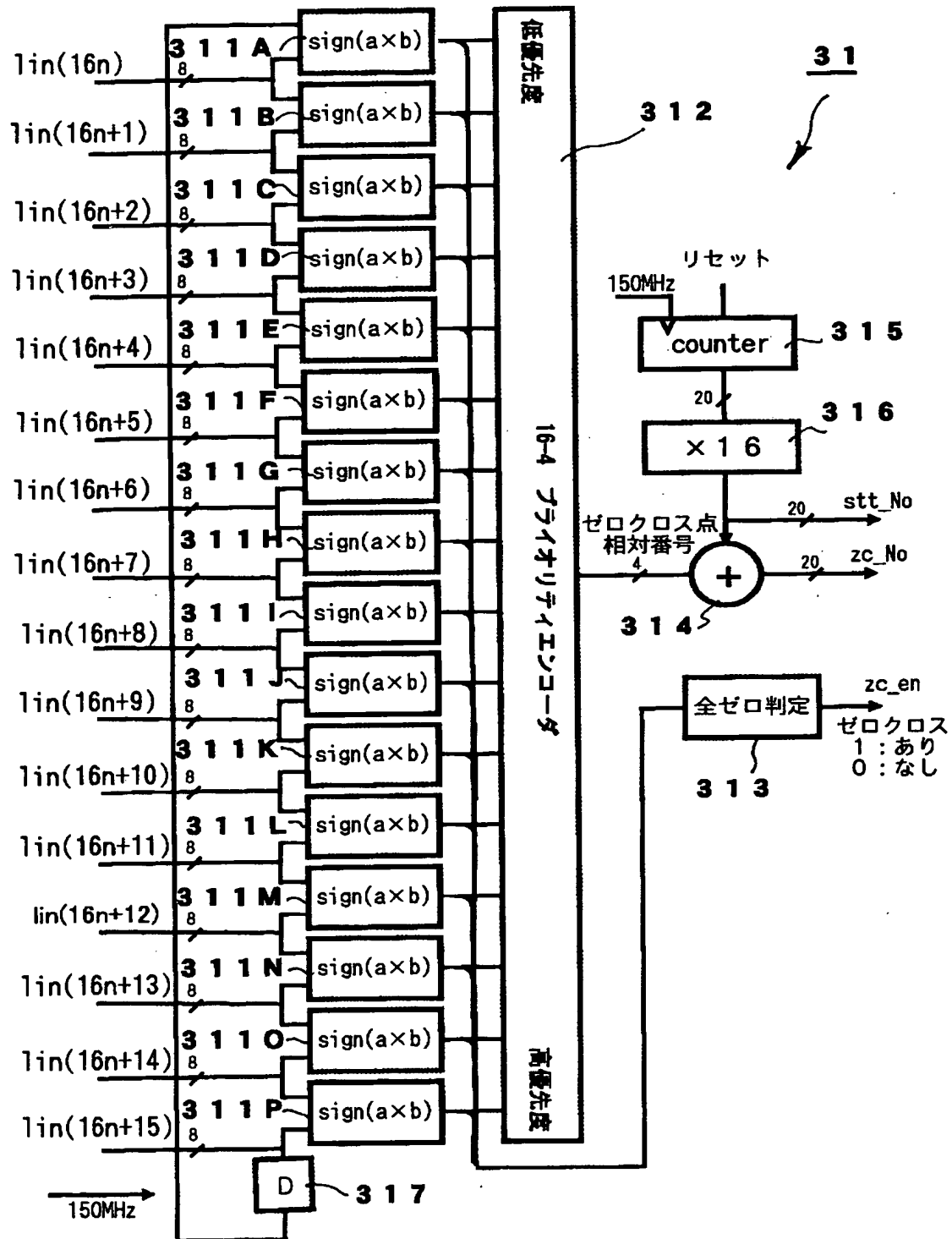
eye pattern of the x16 interpolated data



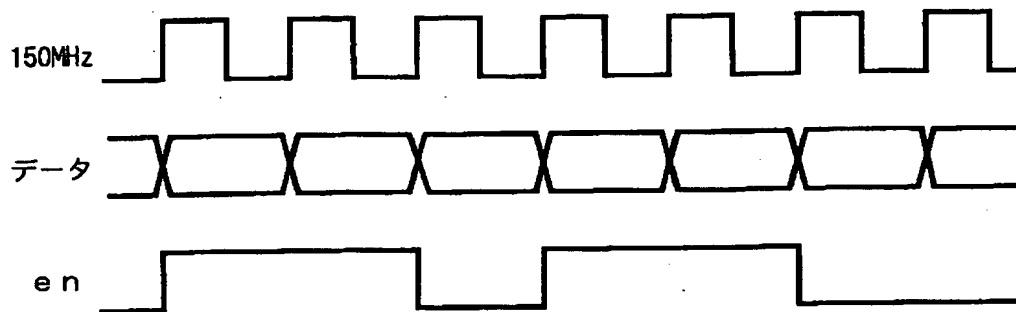
【図 22】



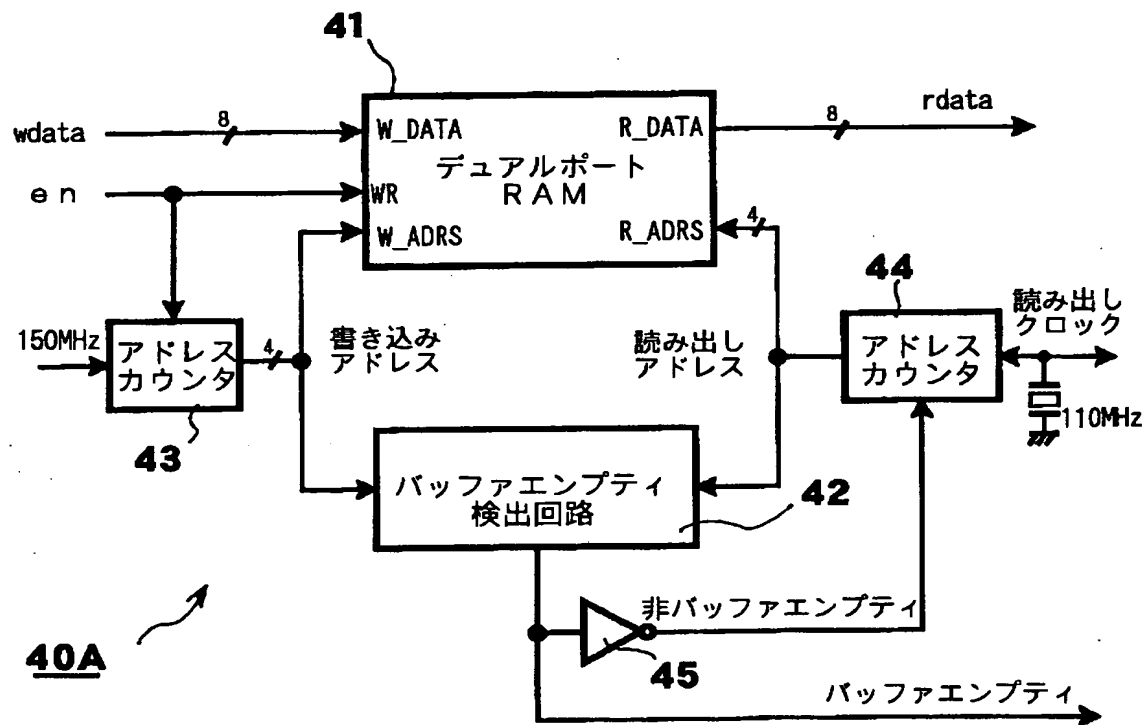
【図 23】



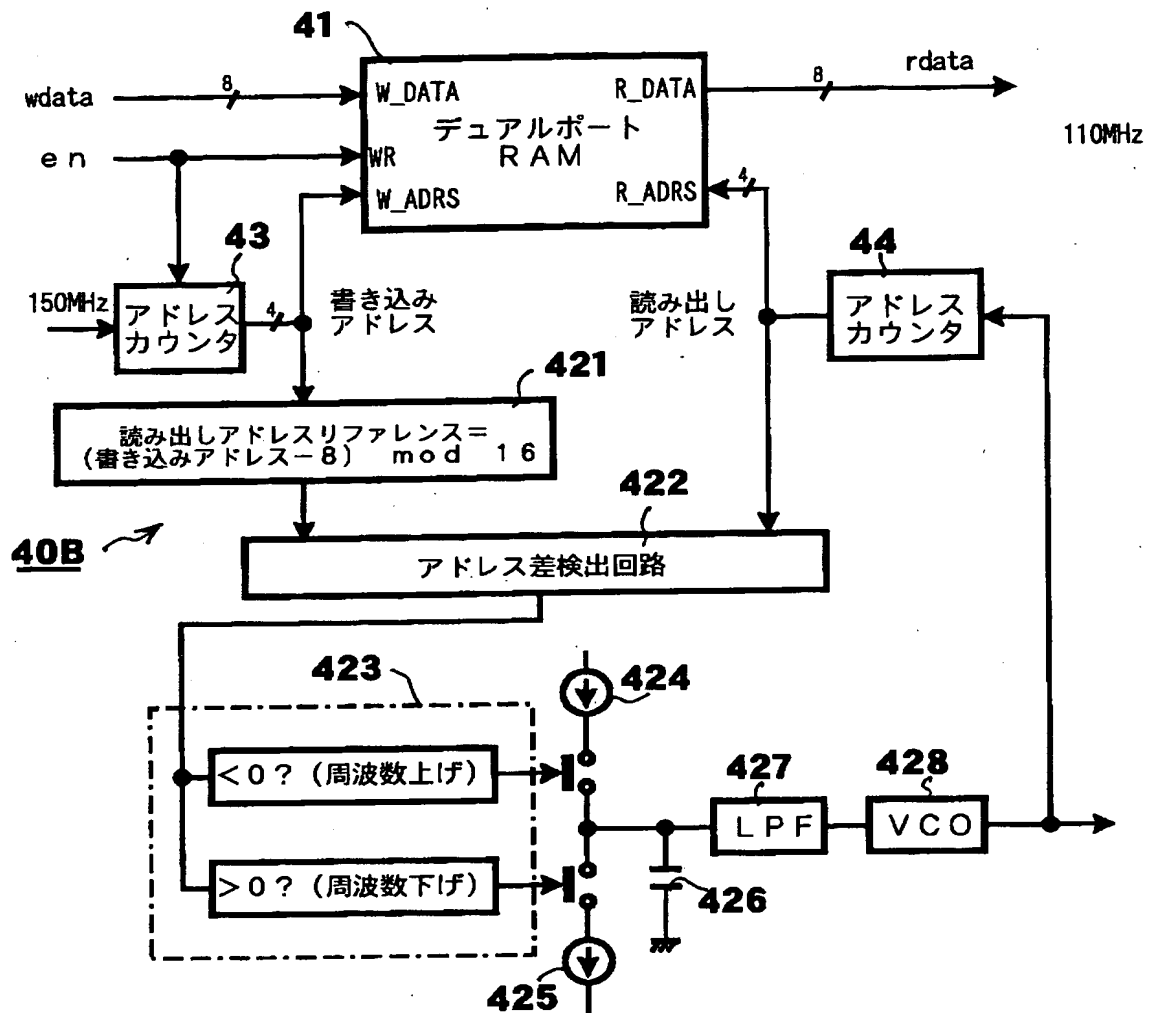
【図 24】



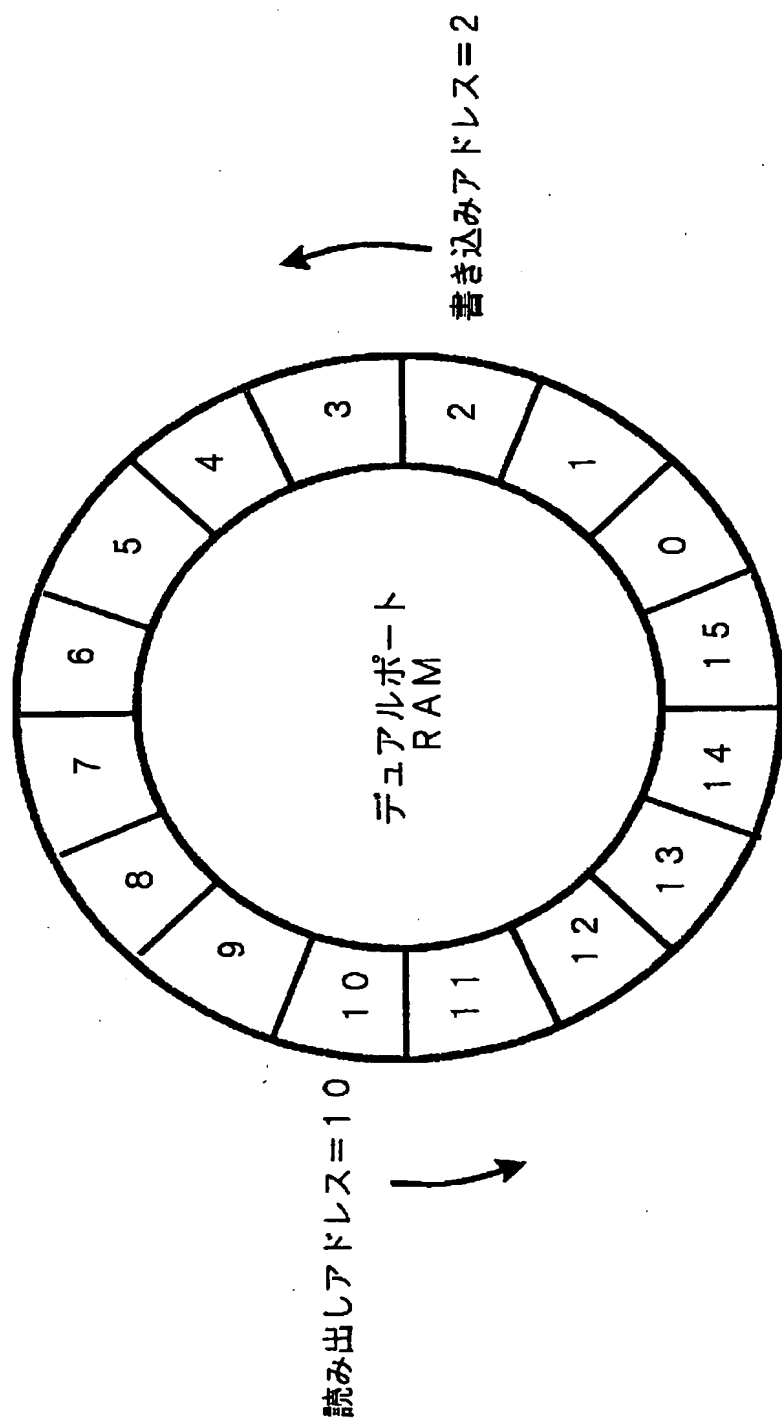
【図 25】



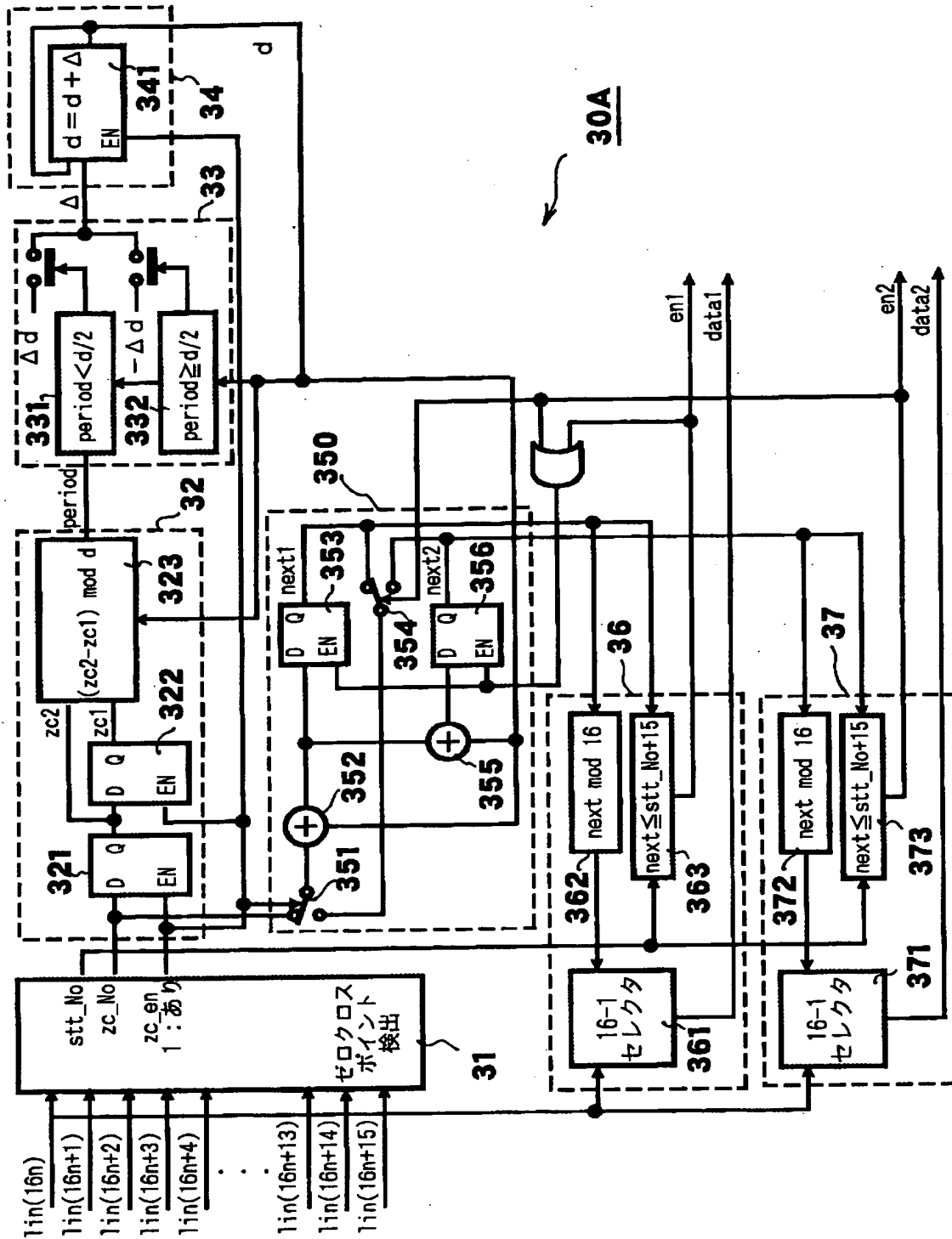
【図 2 6】



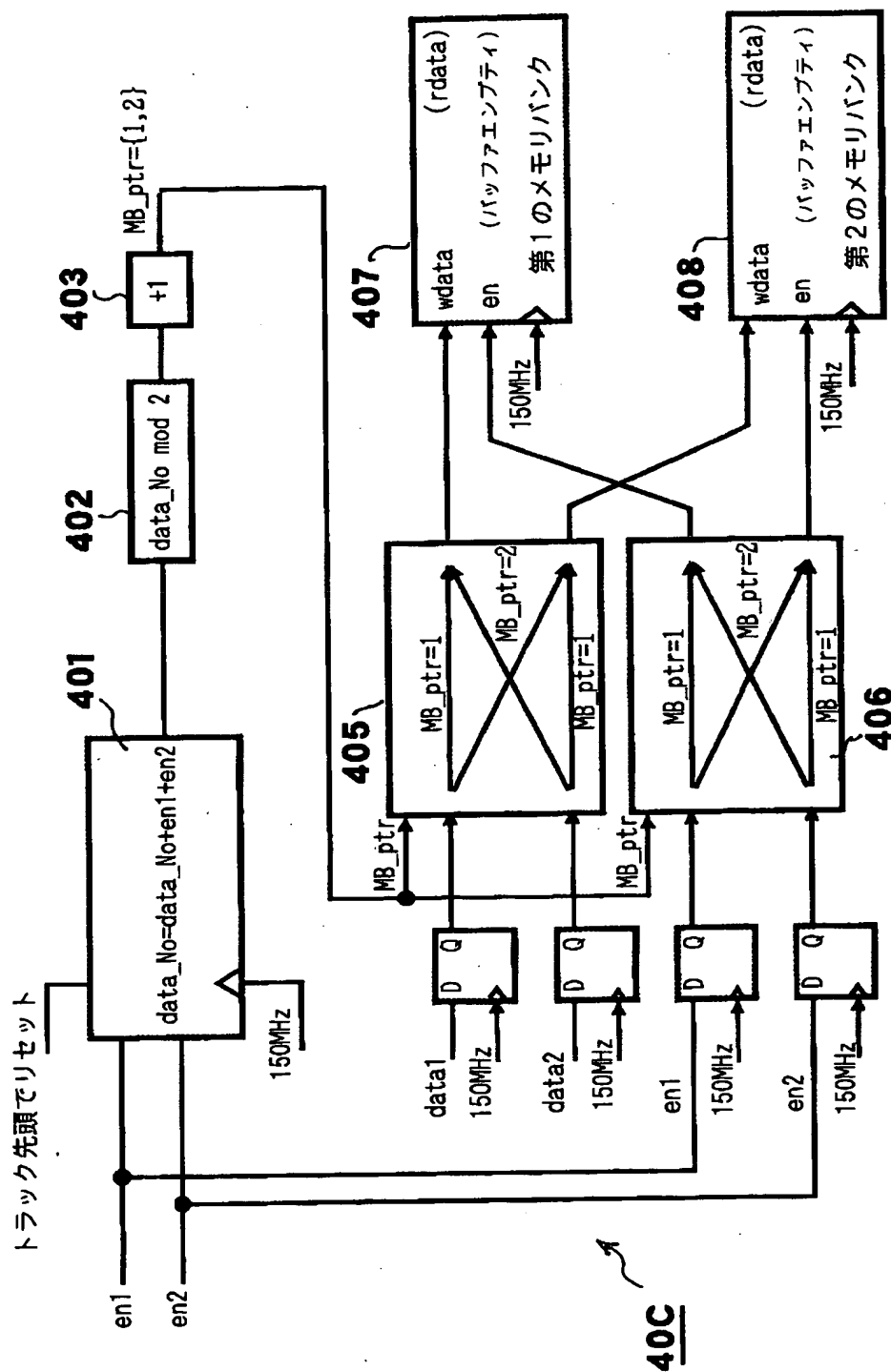
【図 27】



【図 28】



【図 29】



【図 30】

:	:
:	:
:	:
5 番地	data(10)
4 番地	data (8)
3 番地	data (6)
2 番地	data (4)
1 番地	data (2)
0 番地	data (0)

第1のメモリバンク

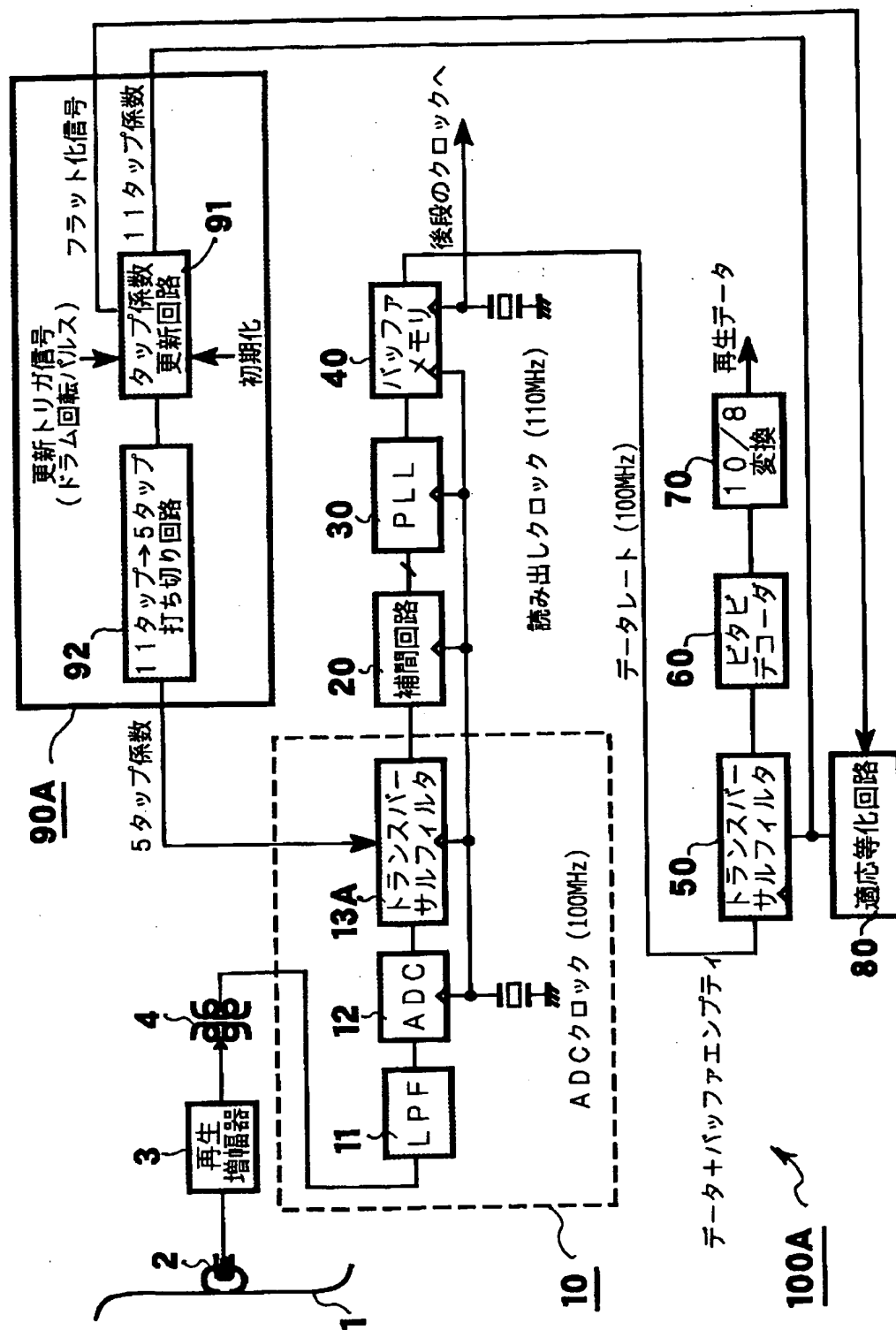
(A)

:	:
:	:
:	:
5 番地	data(11)
4 番地	data (9)
3 番地	data (7)
2 番地	data (5)
1 番地	data (3)
0 番地	data (1)

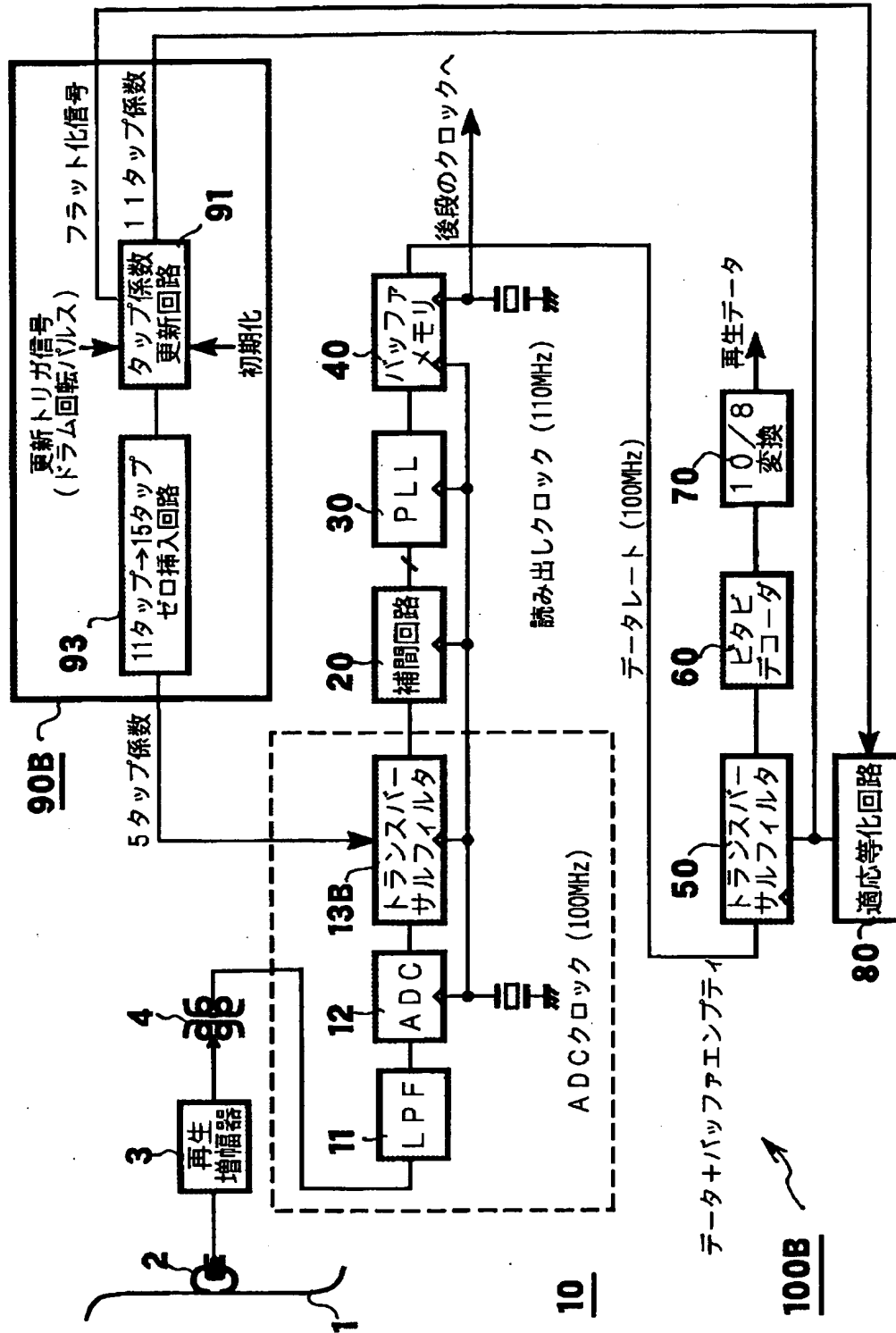
第2のメモリバンク

(B)

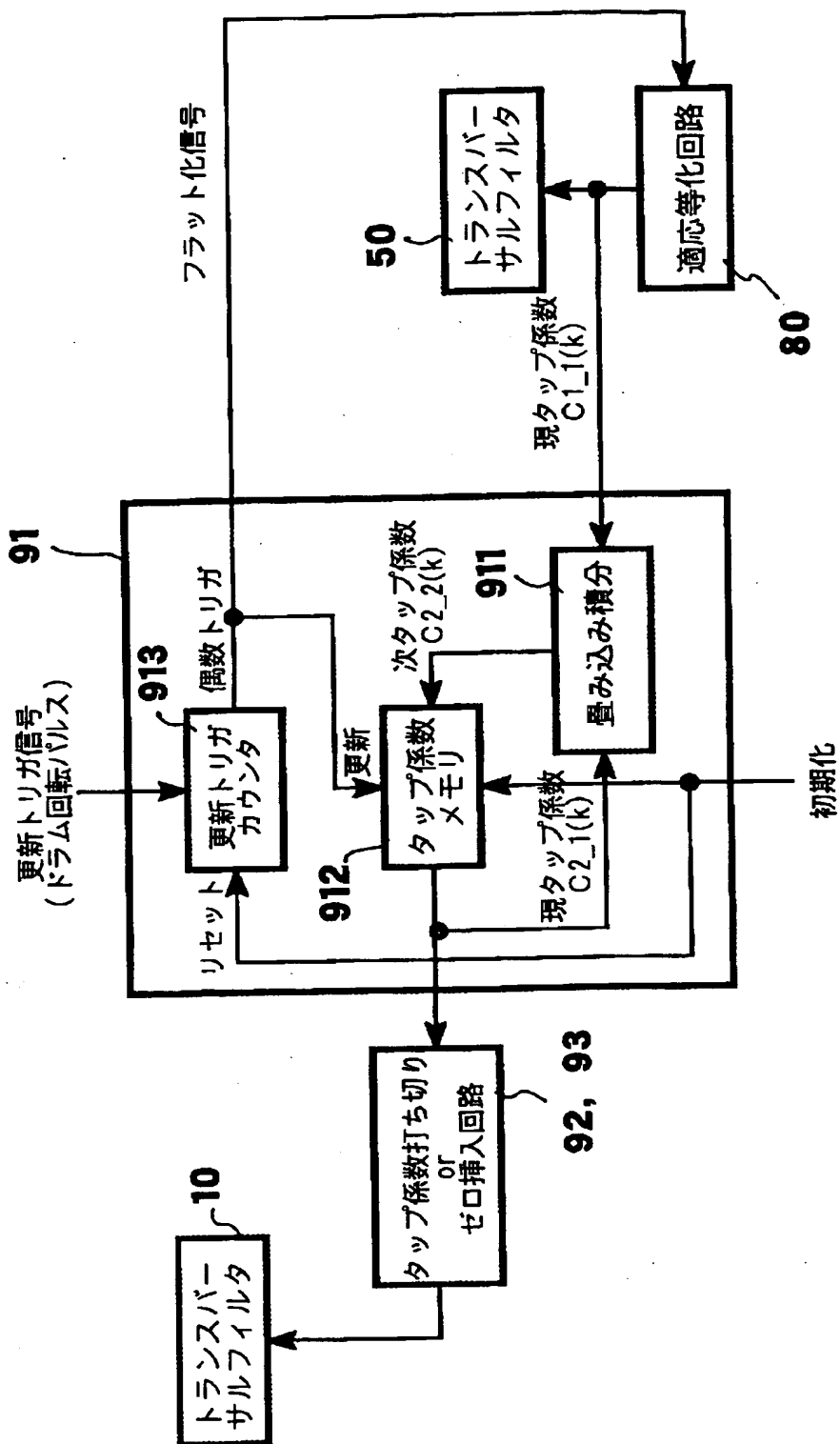
【図 3 1】



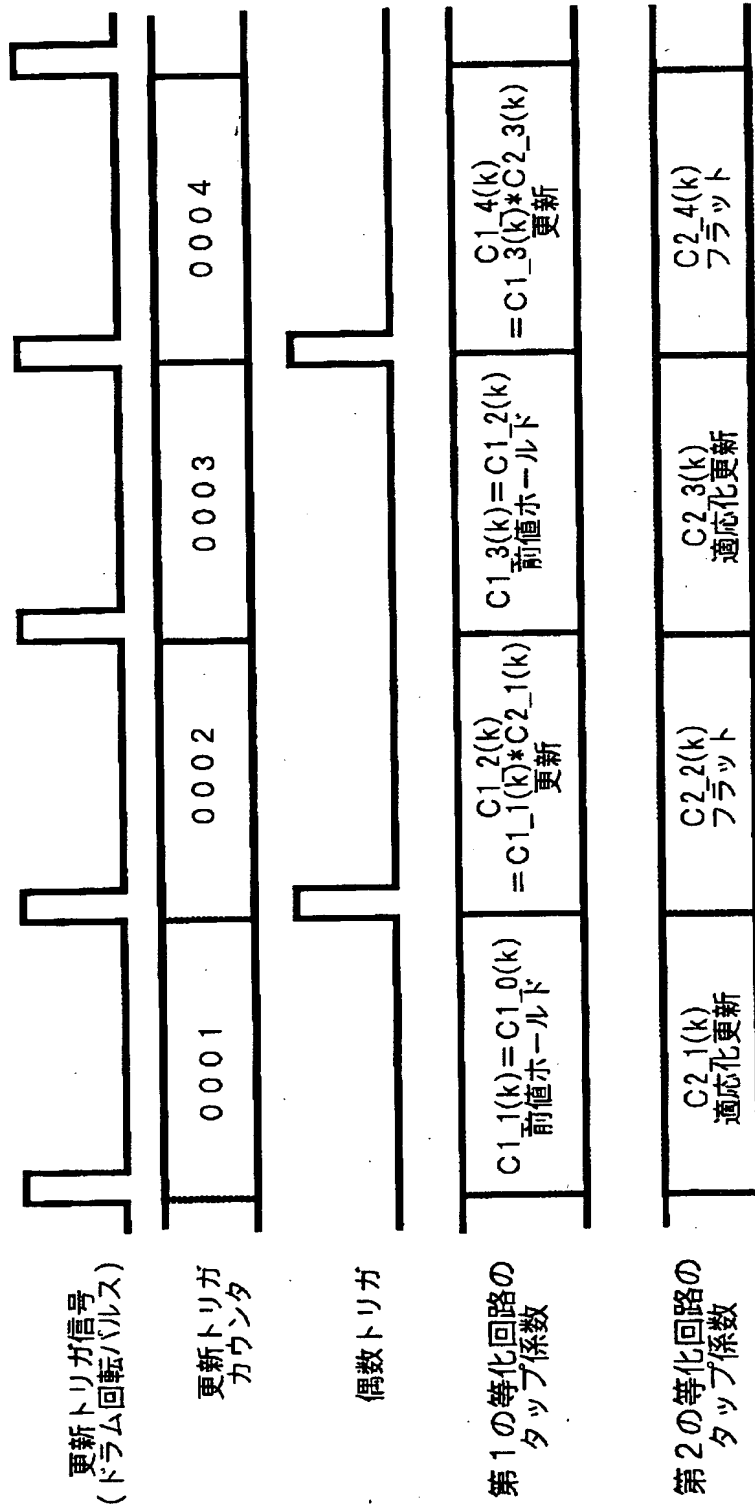
【図 3 2】



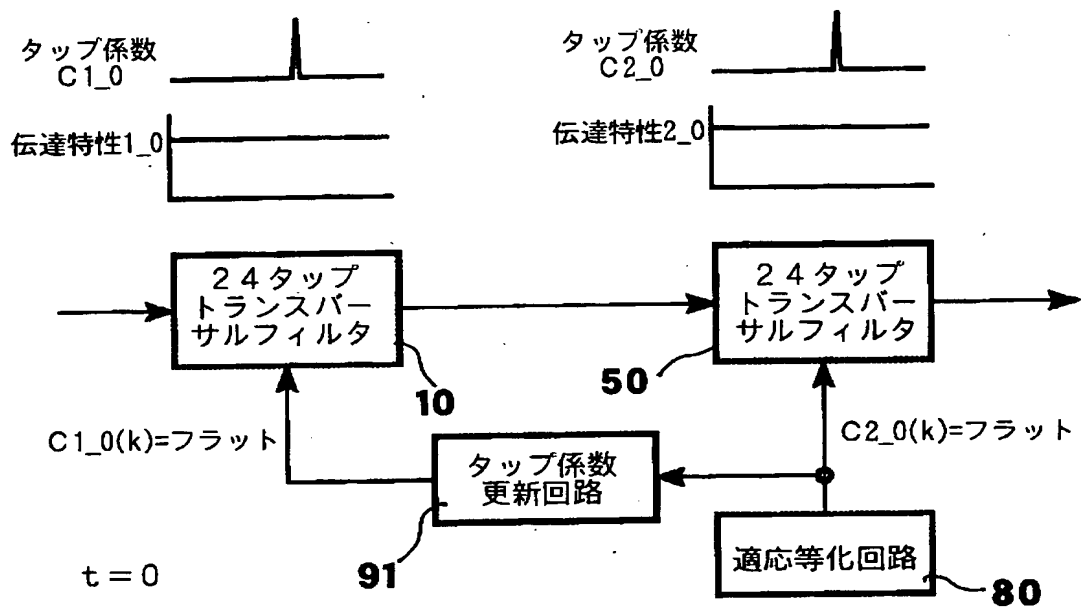
【図 33】



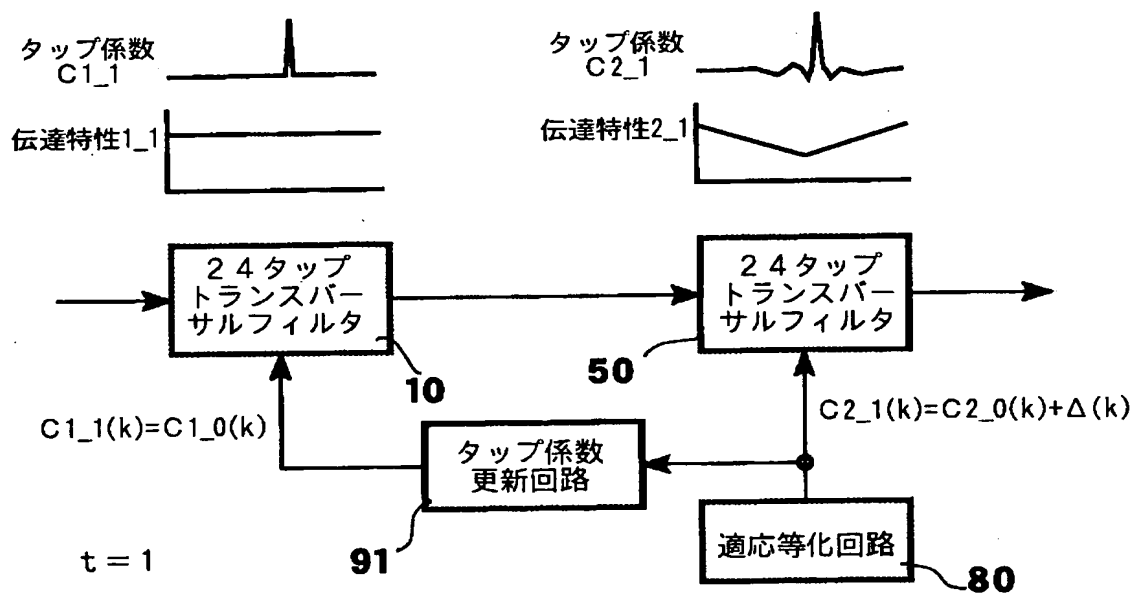
【図 3 4】



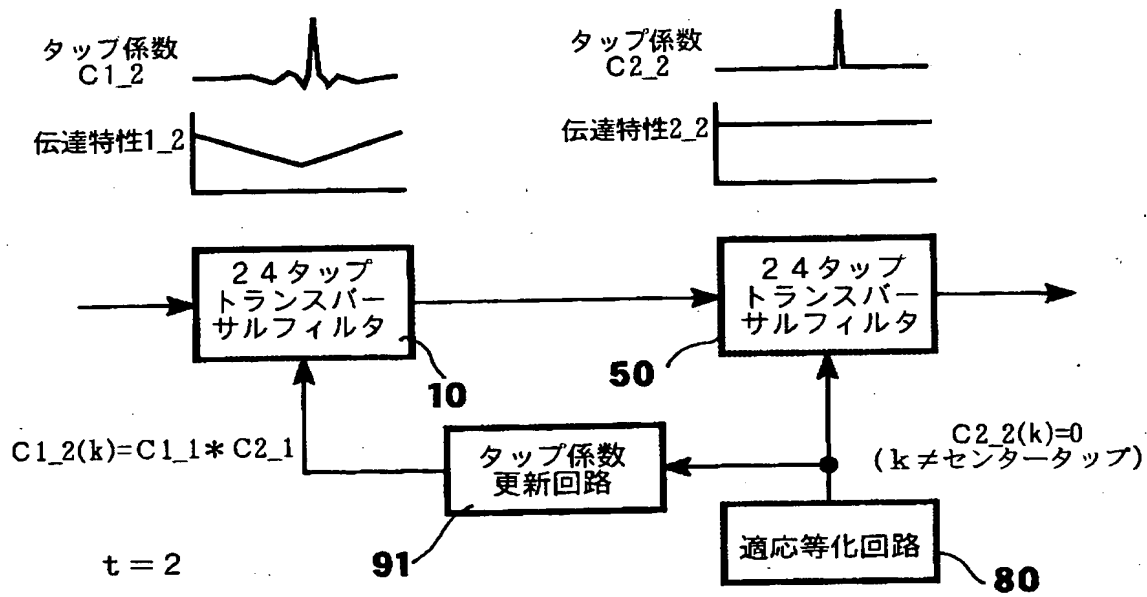
【図 3 5】



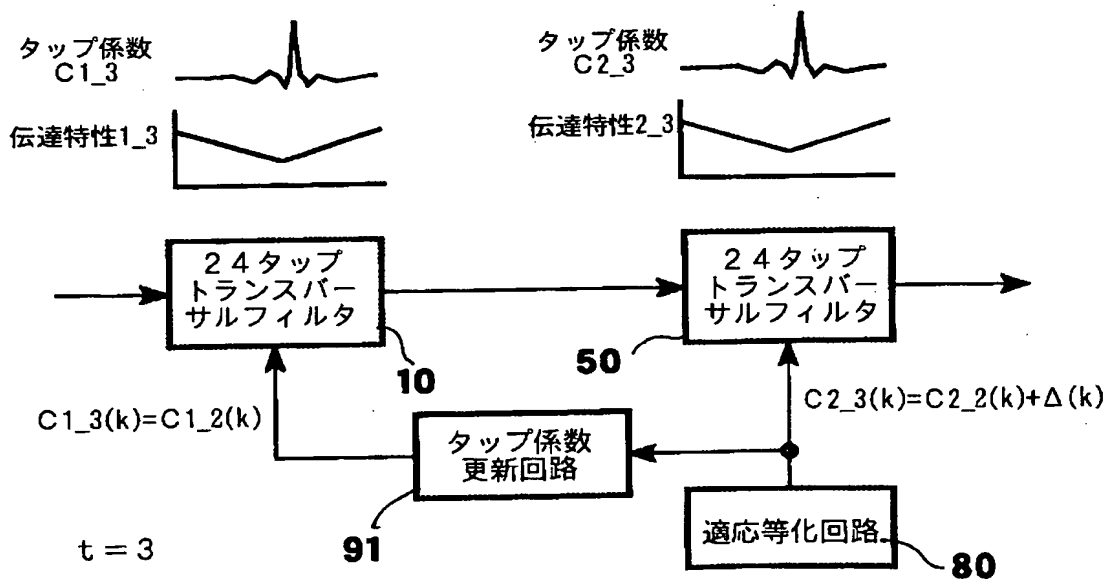
【図 3 6】



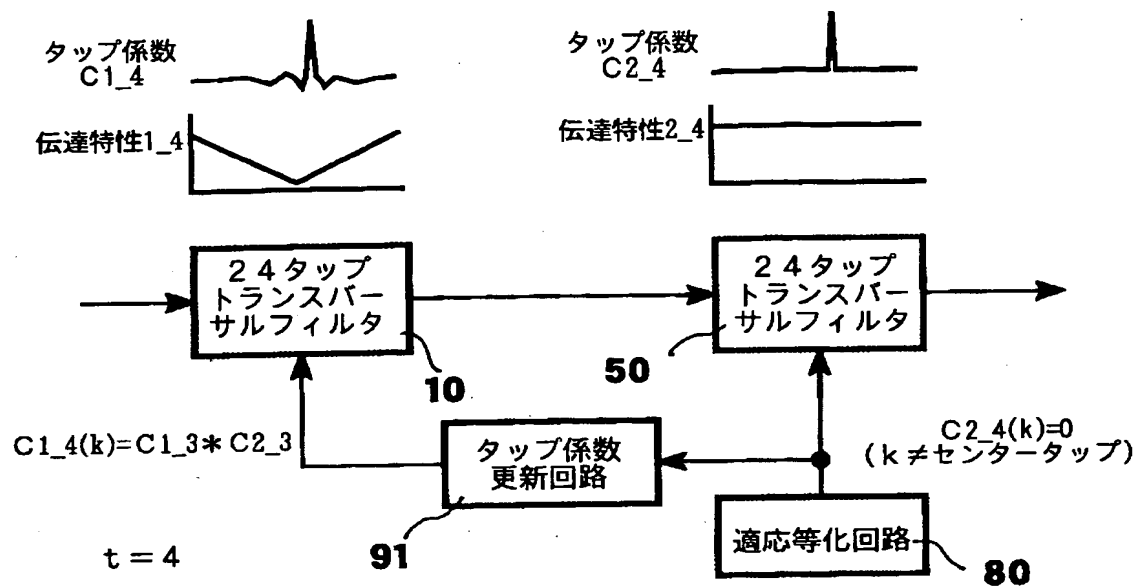
【図 3 7】



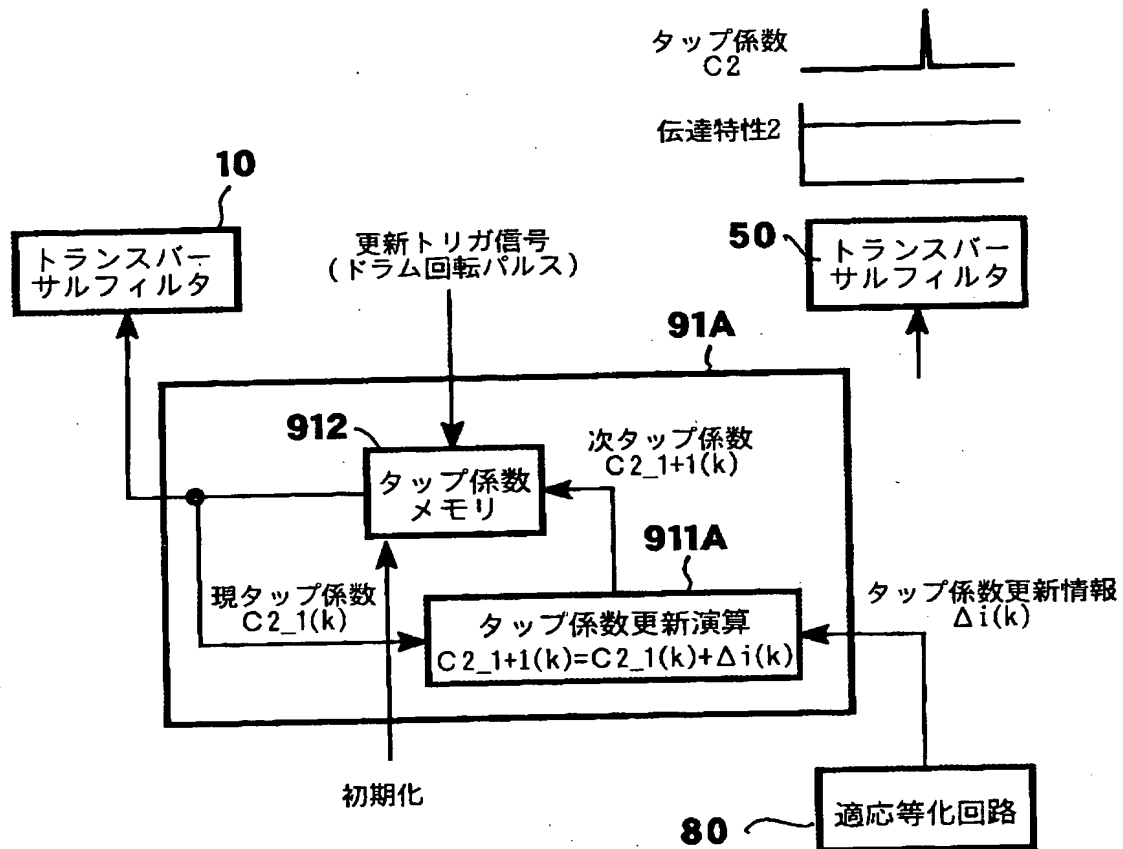
【図 3 8】



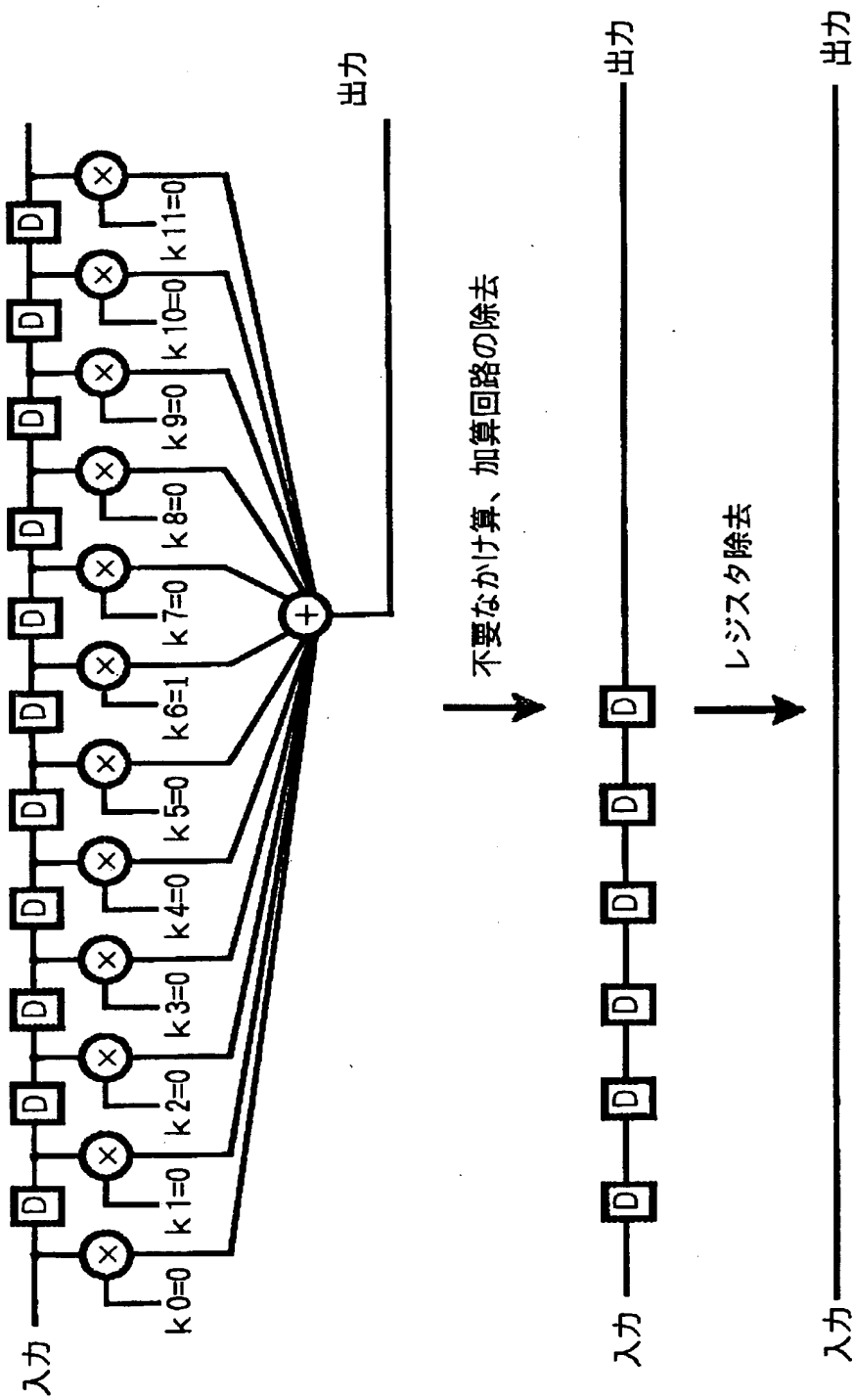
【図 39】



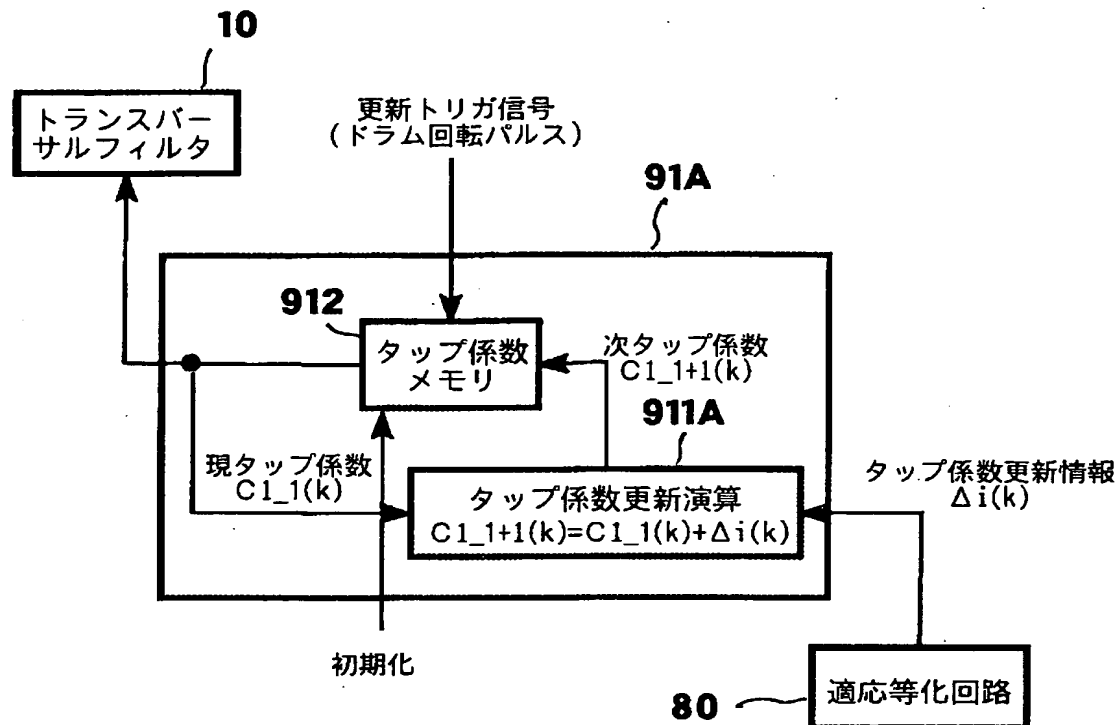
【図 4 0】



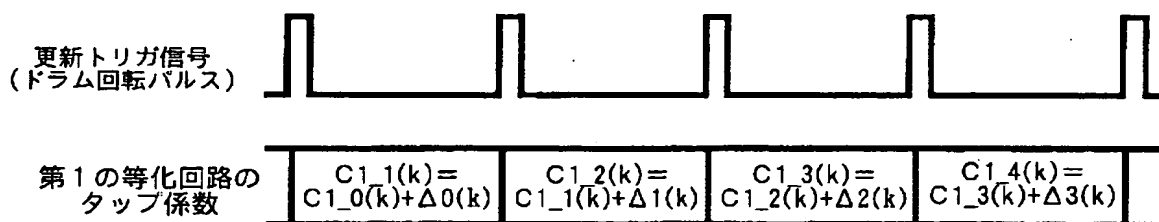
【図 4 1】



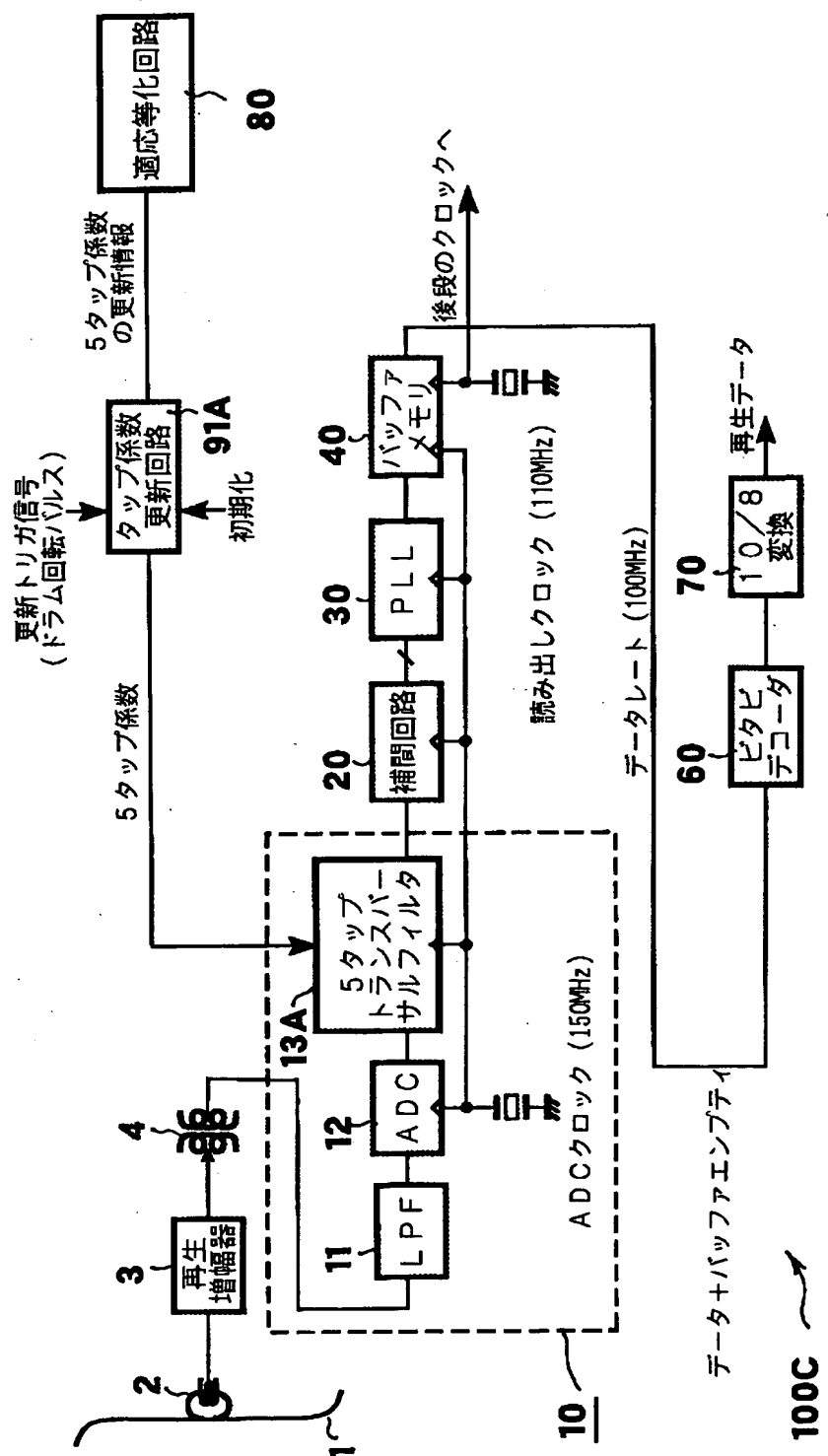
【図 4 2】



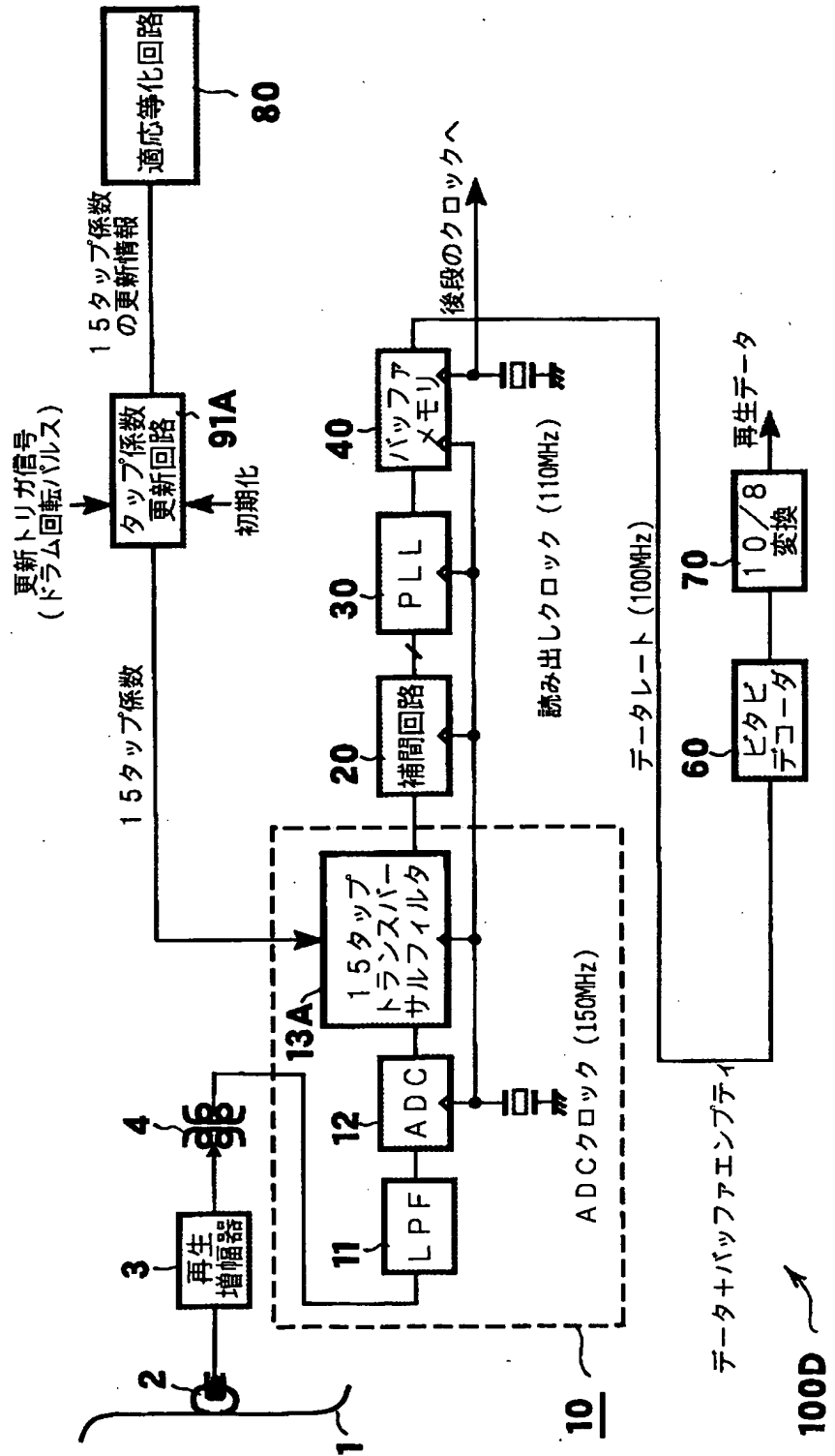
【図 4 3】



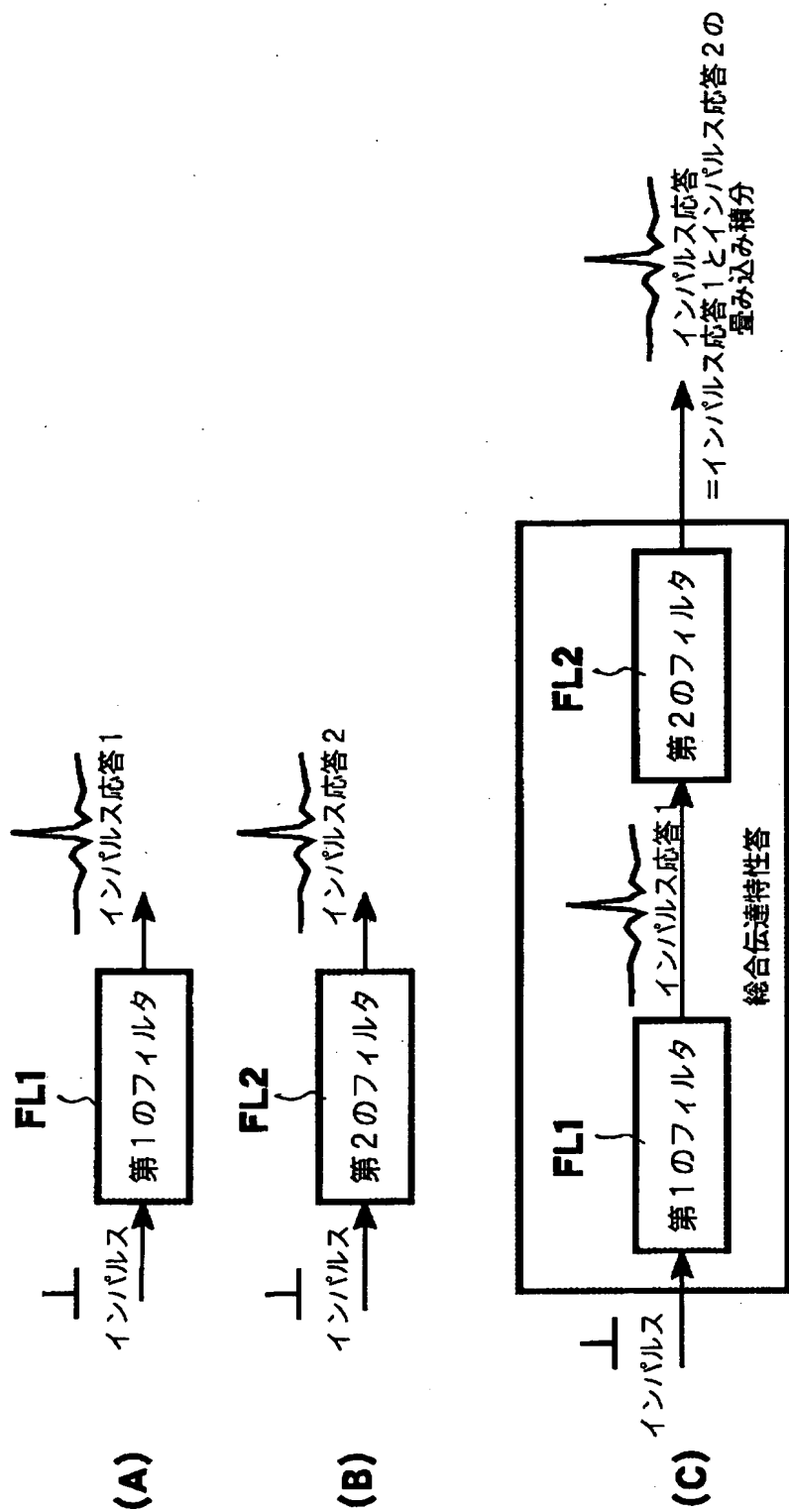
【図 4 4】



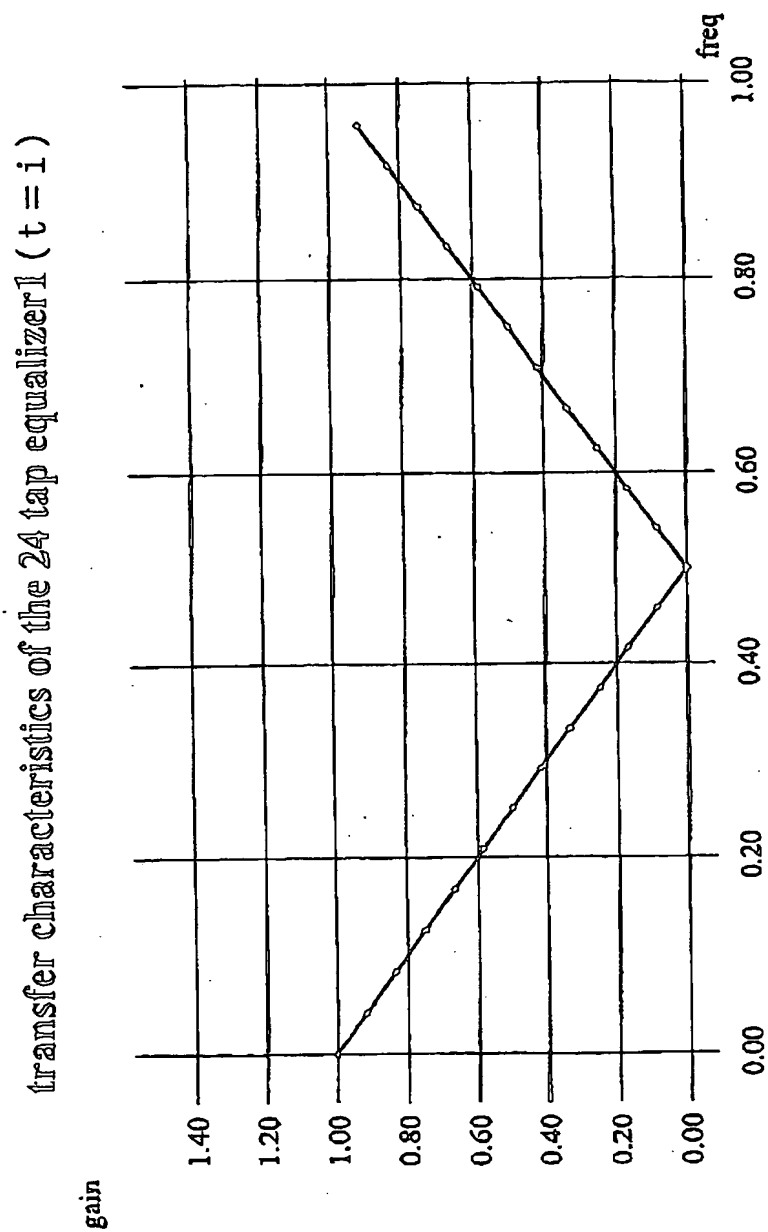
【図 45】



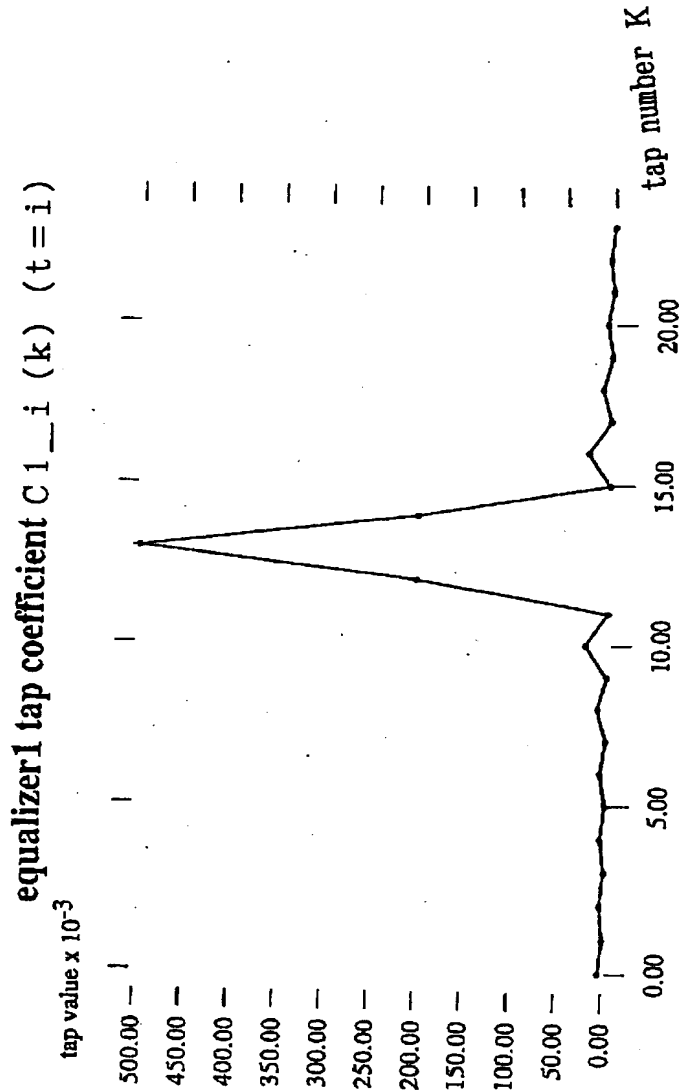
【図 46】



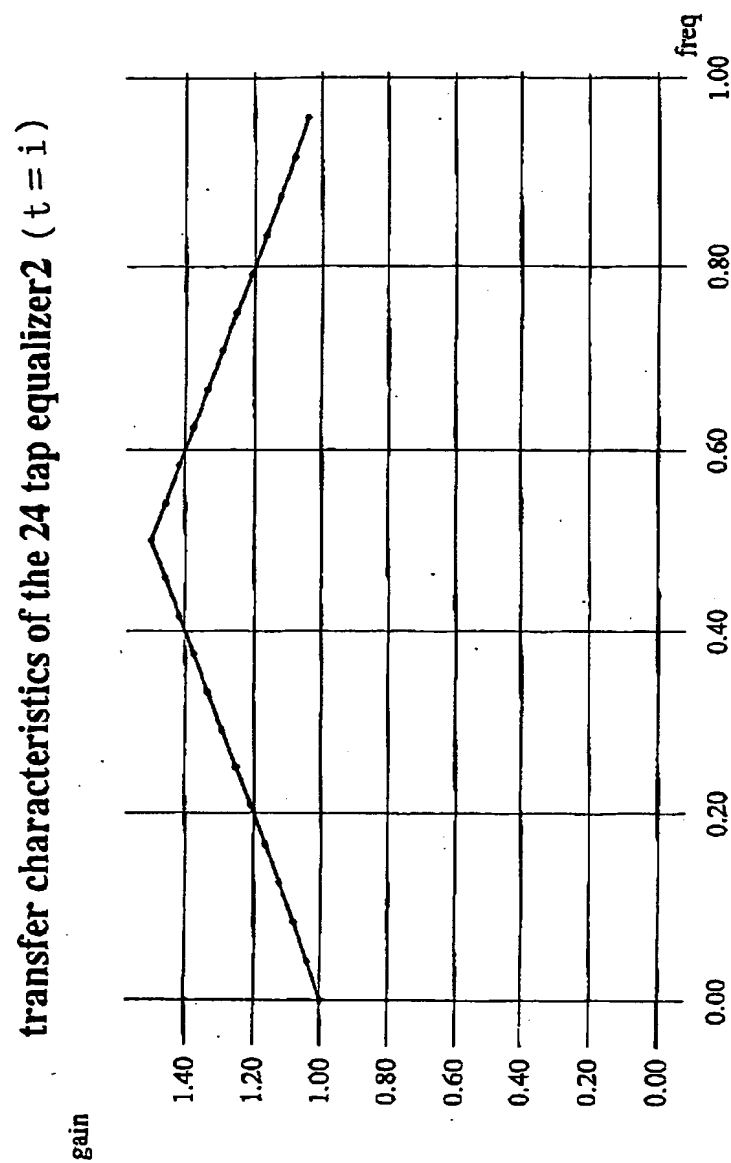
【図 4 7】



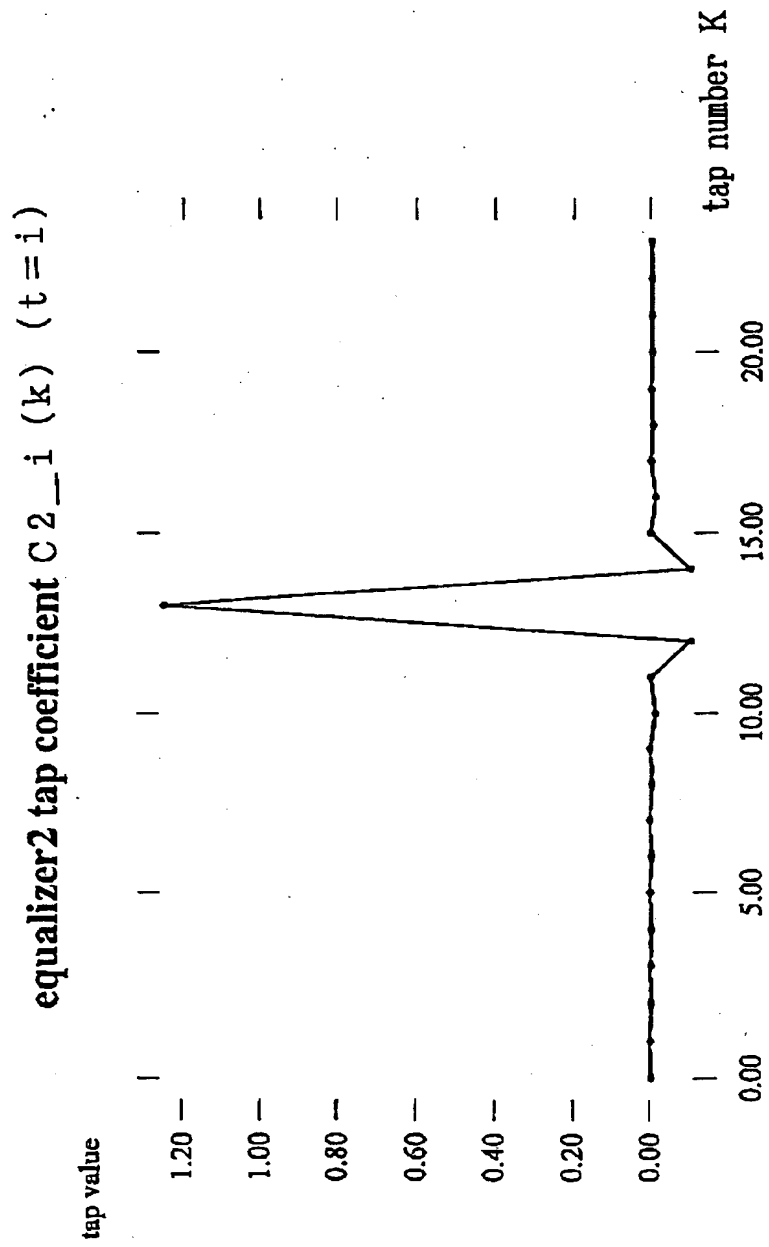
【図 4 8】



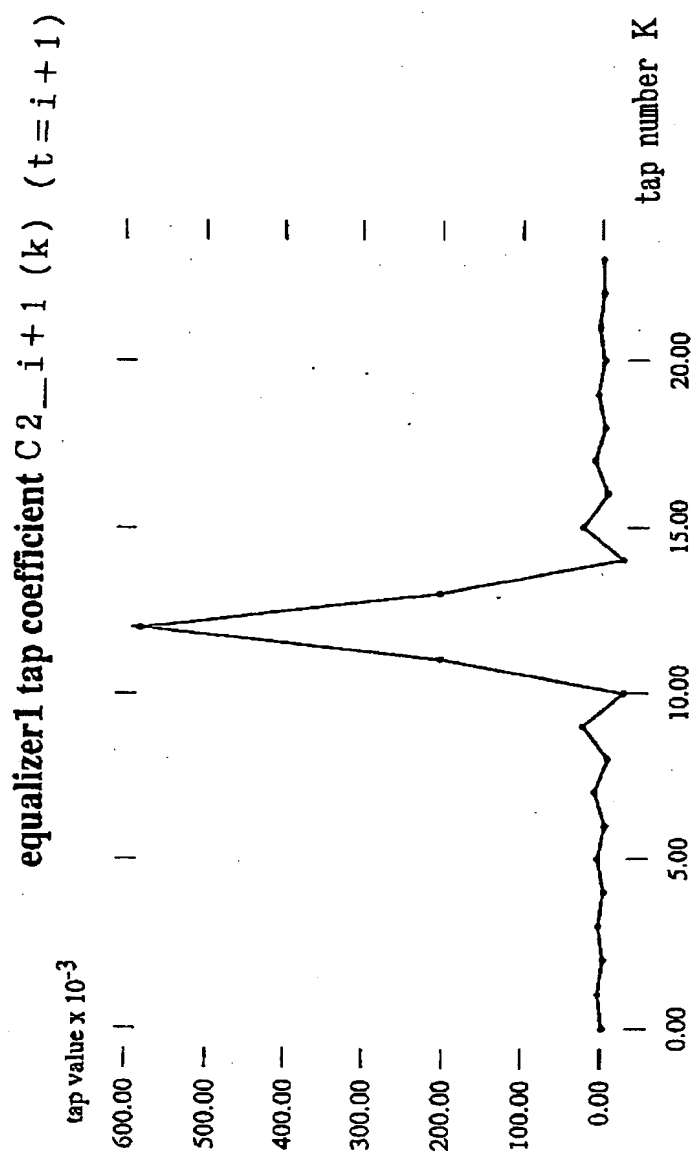
【図 4 9】



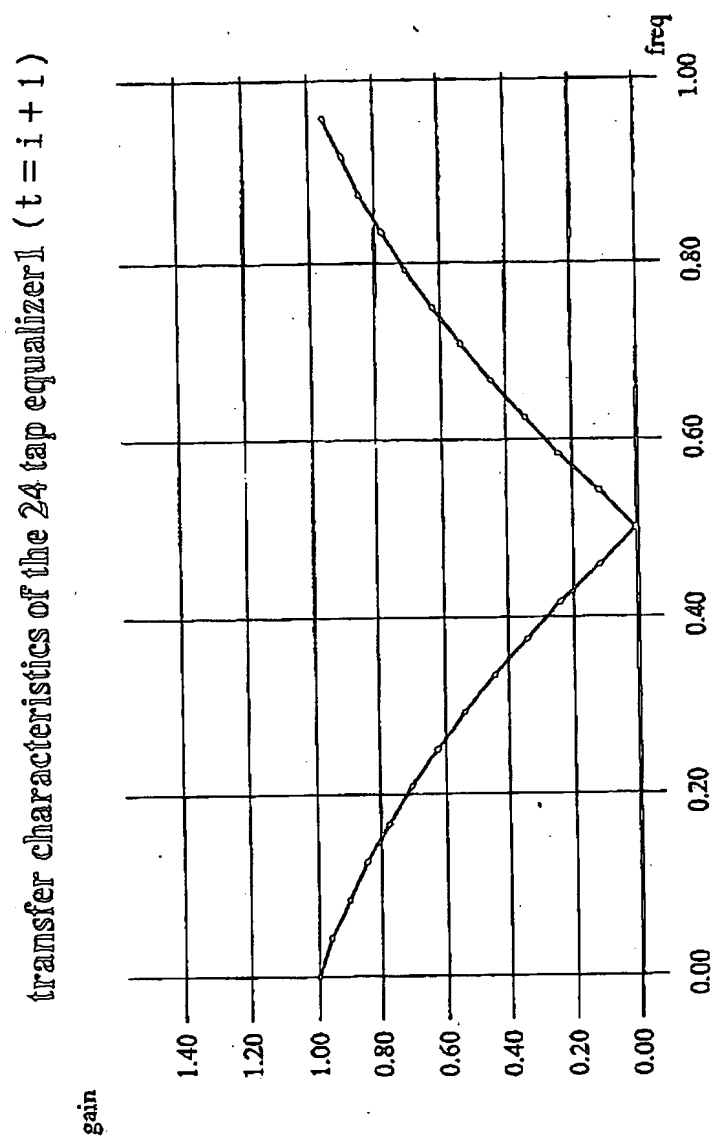
【図 5 0】



【図 51】

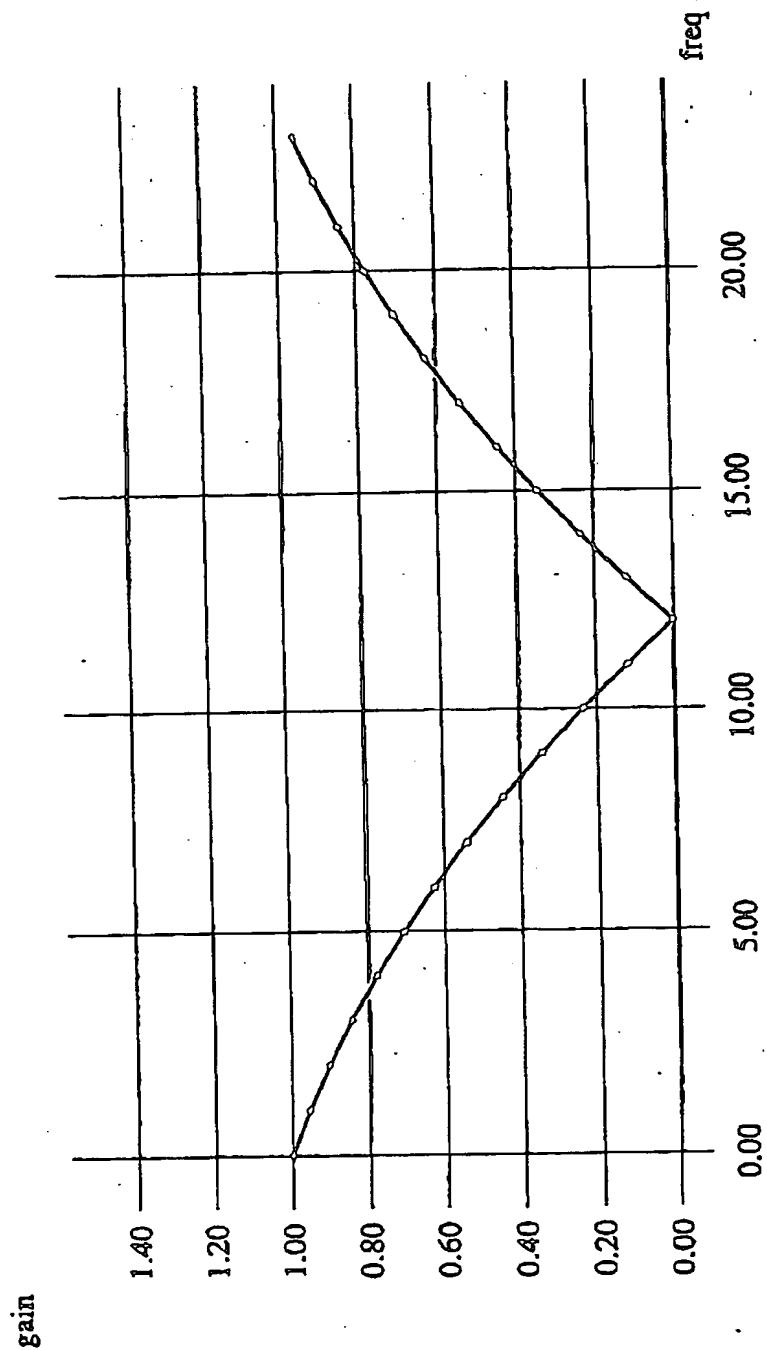


【図 5 2】

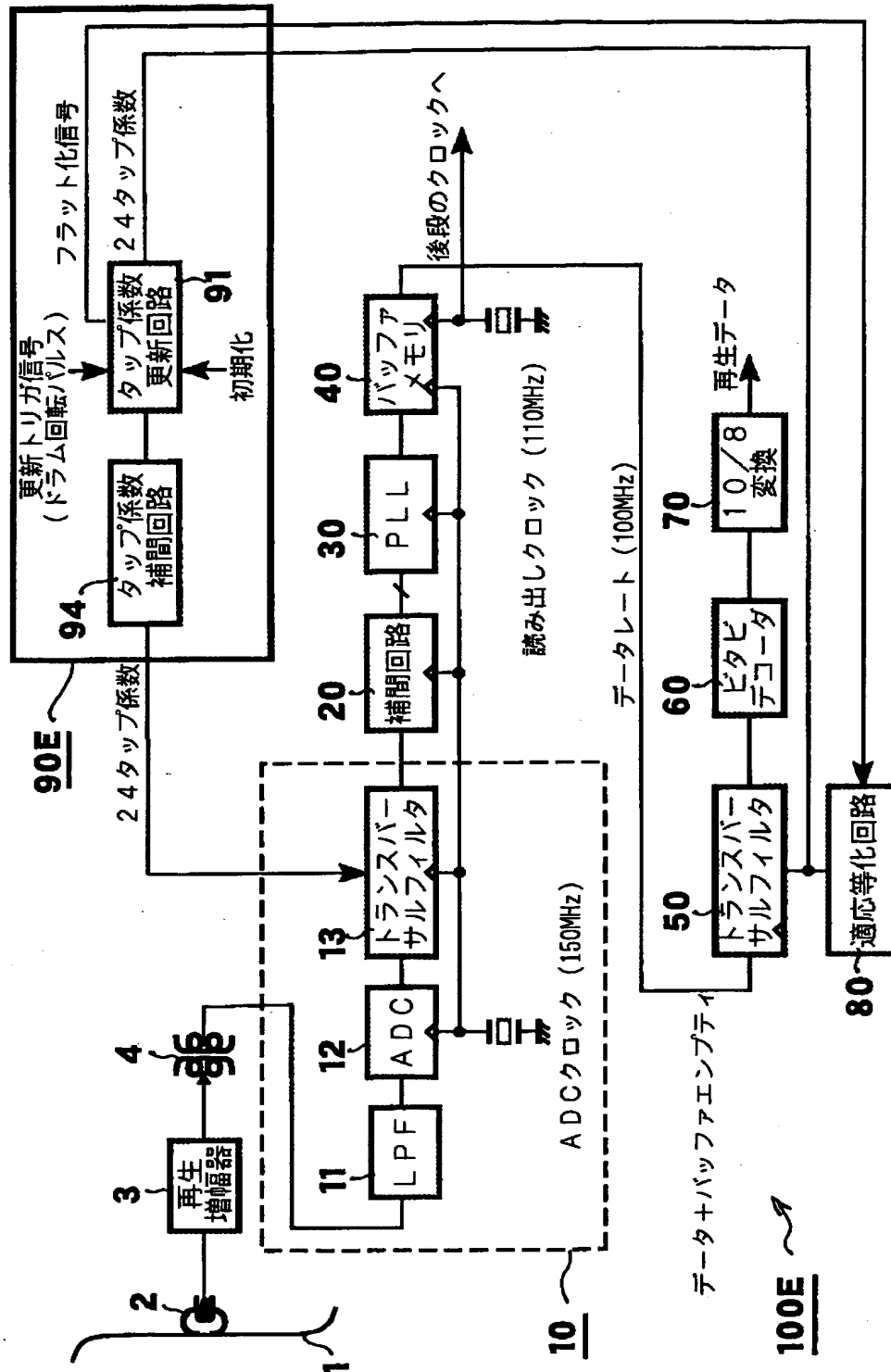


【図 5 3】

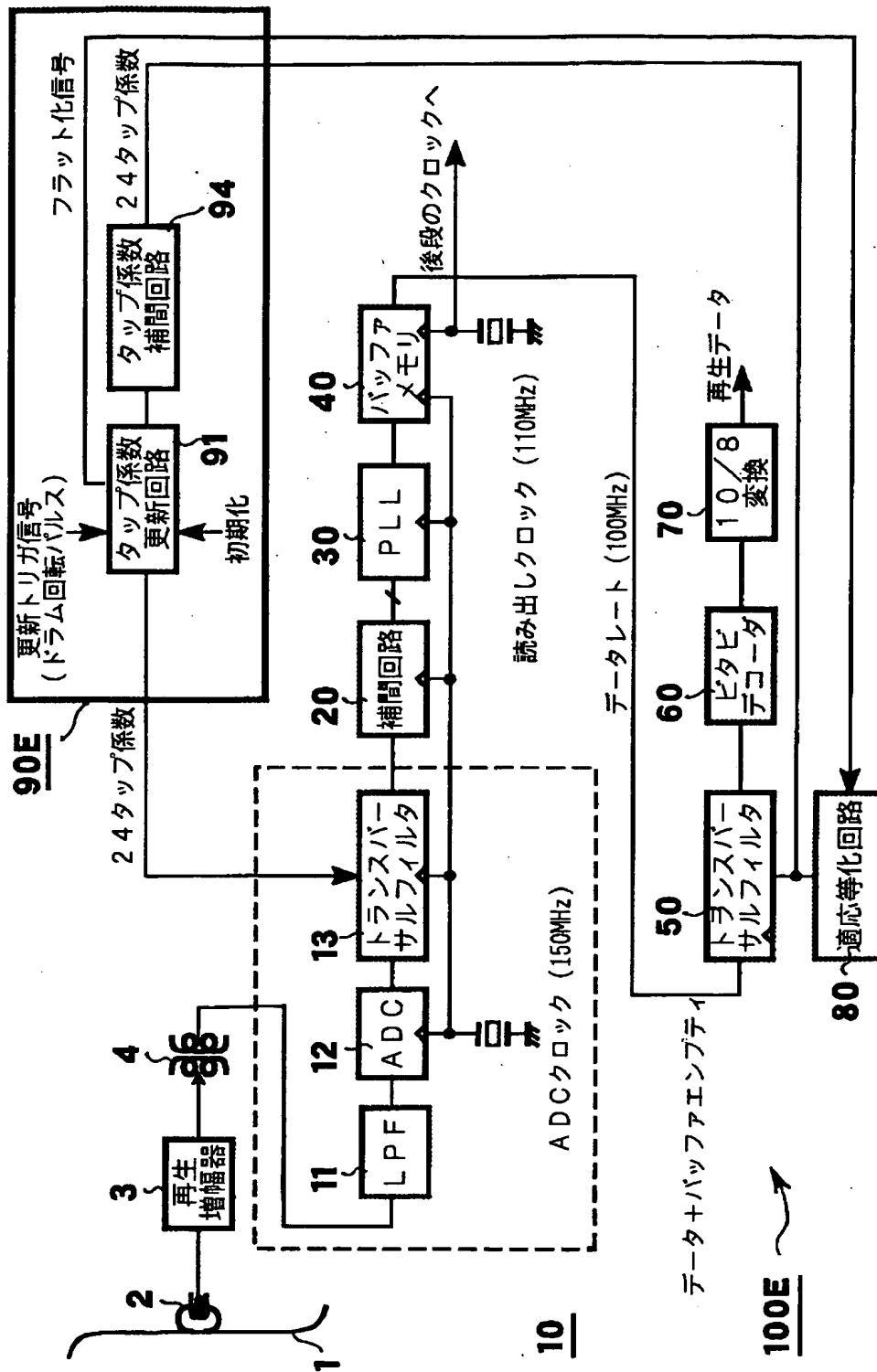
transfer characteristics of the 24 tap equalizer1 ($t = i + 1$)



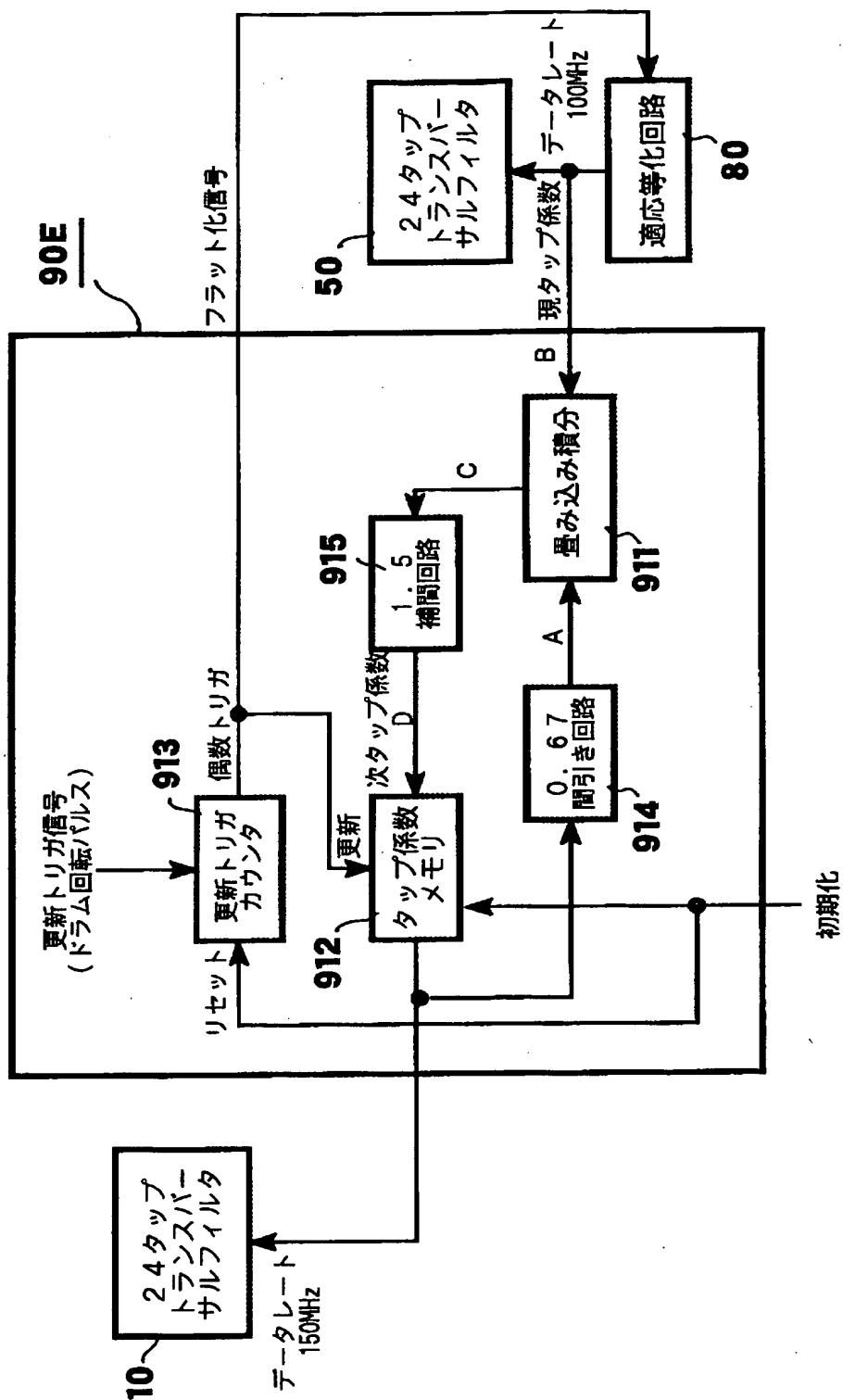
【図 54】



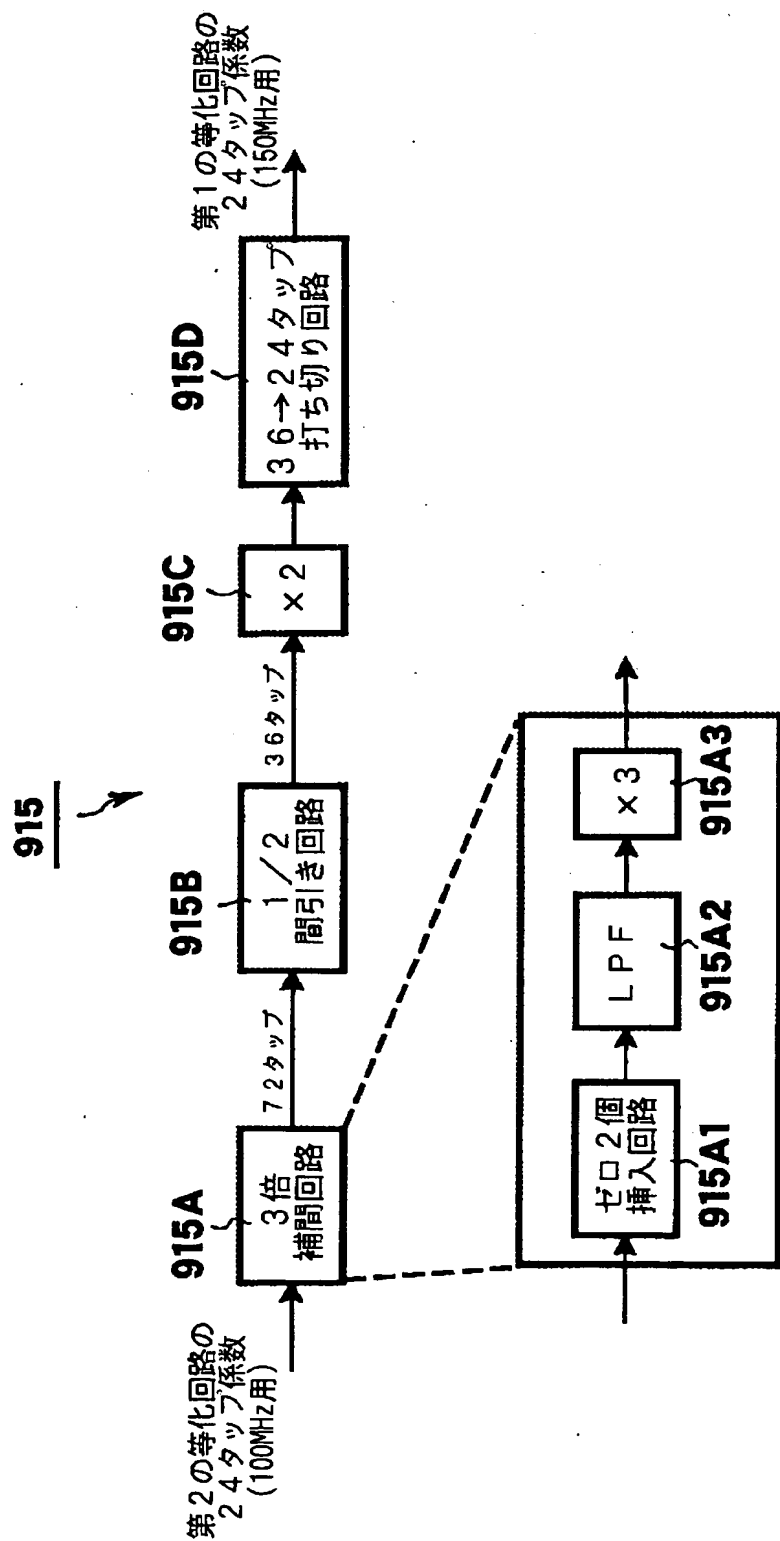
【図 55】



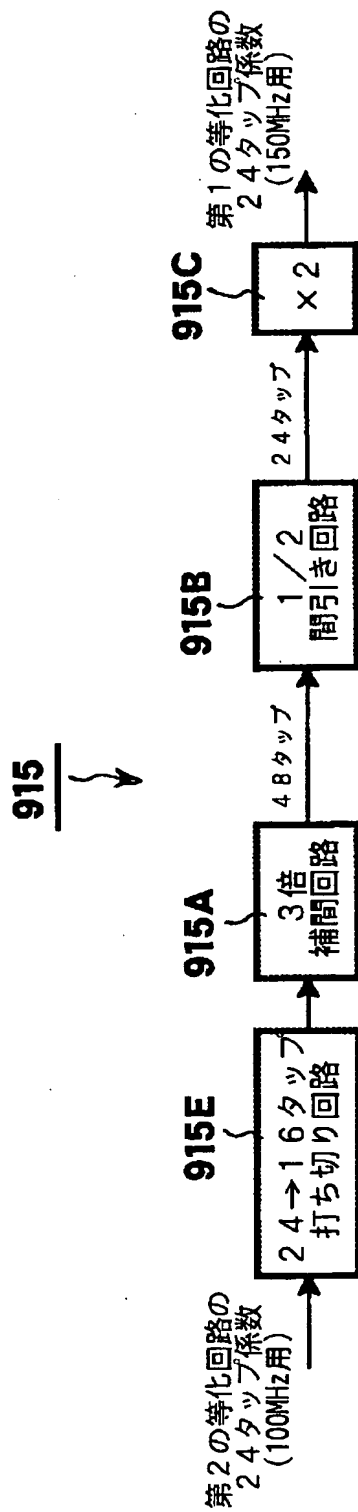
【図 56】



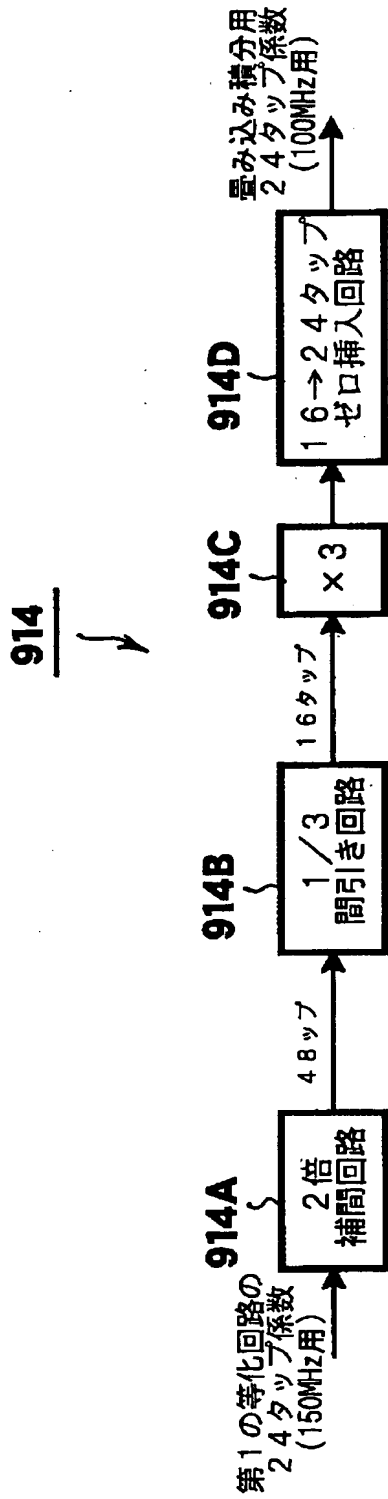
【図 5 7】



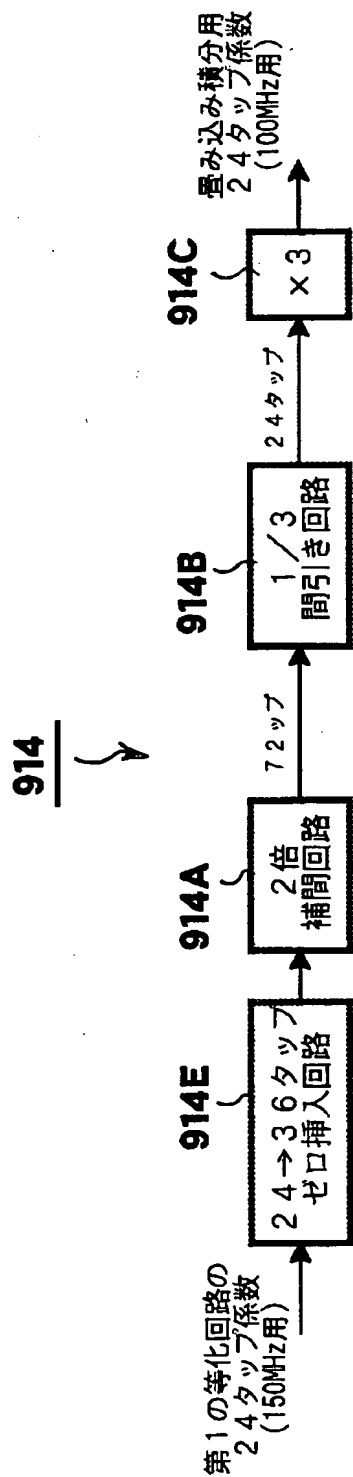
【図 58】



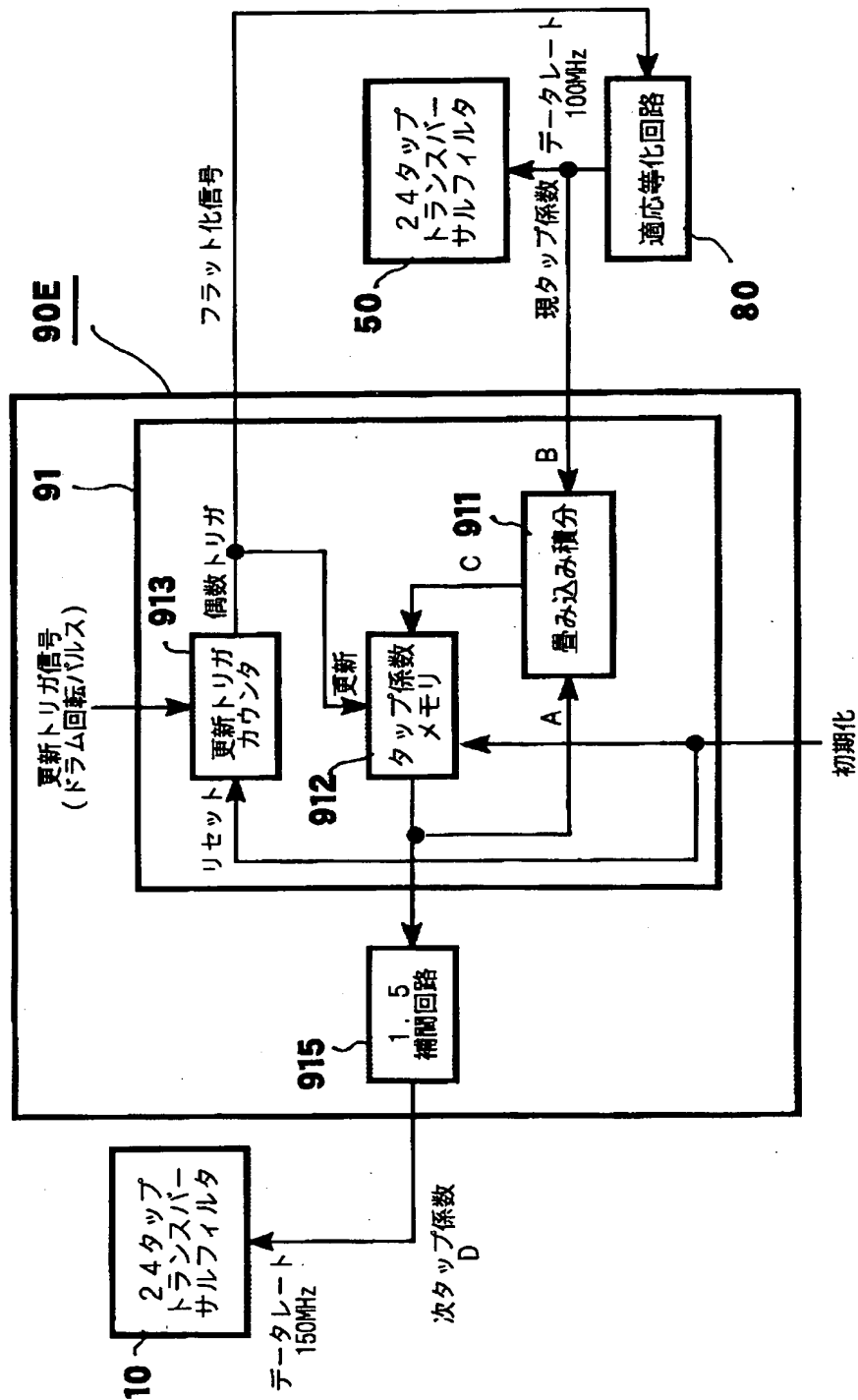
【図 5 9】



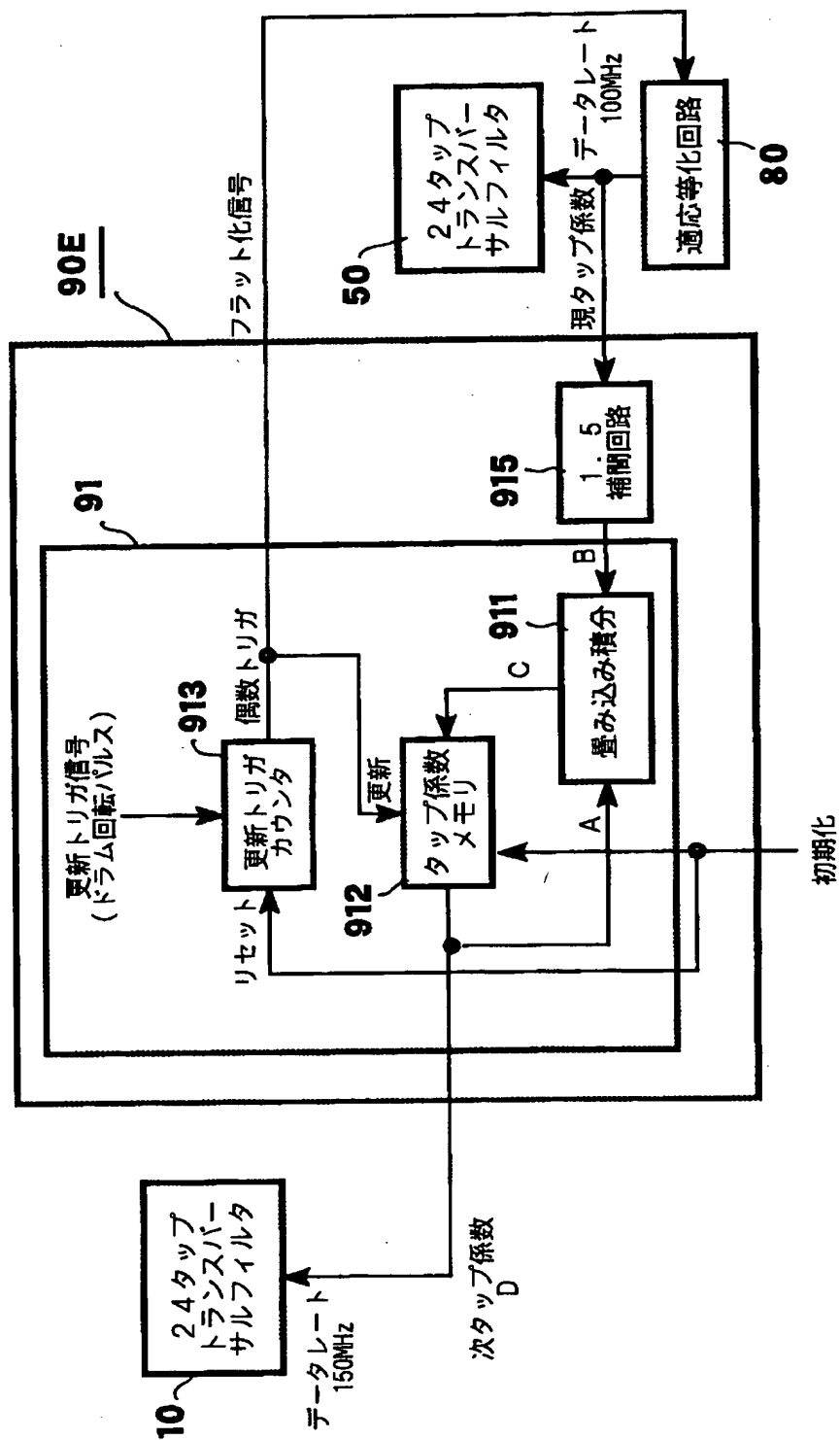
【図 6 0】



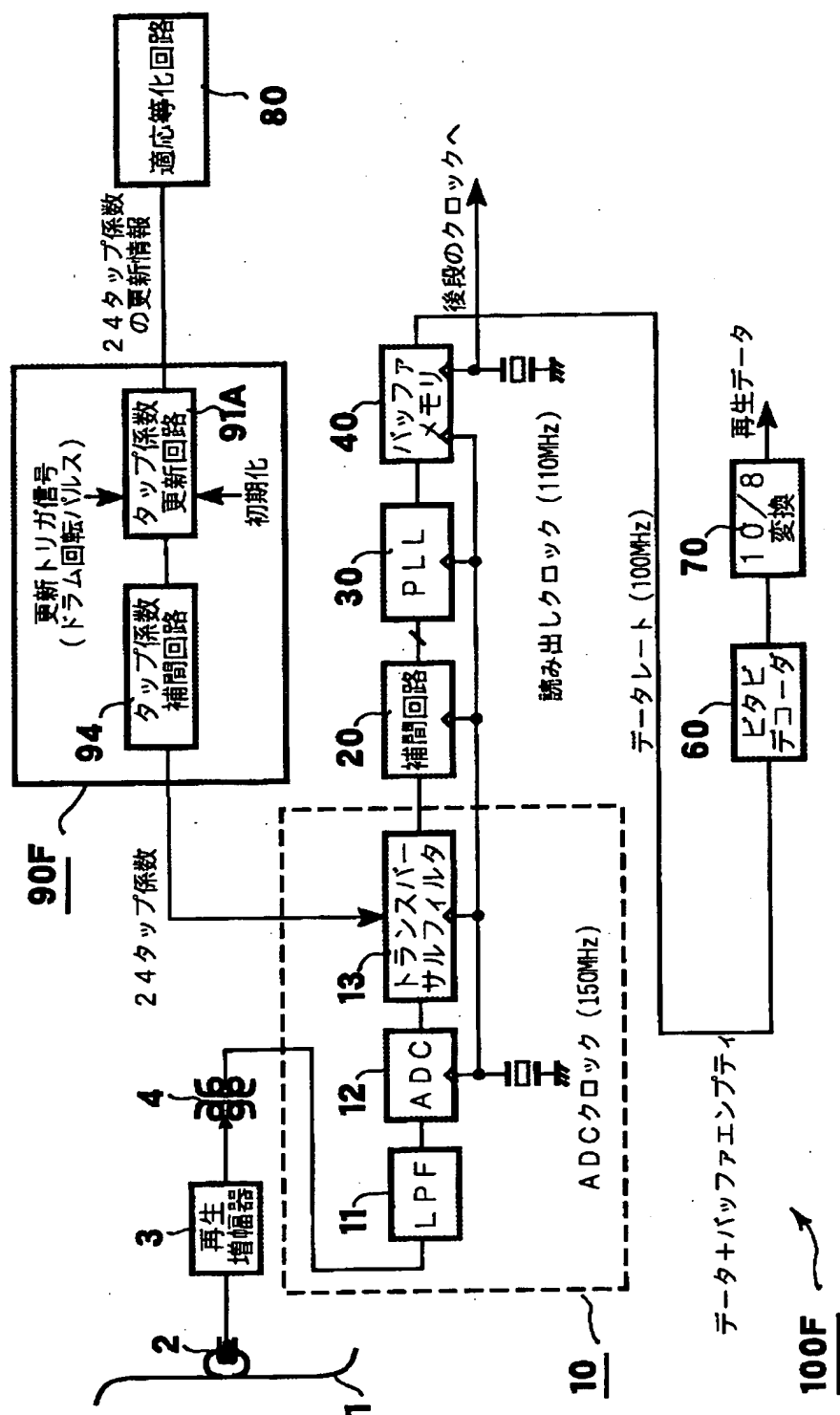
【図 61】



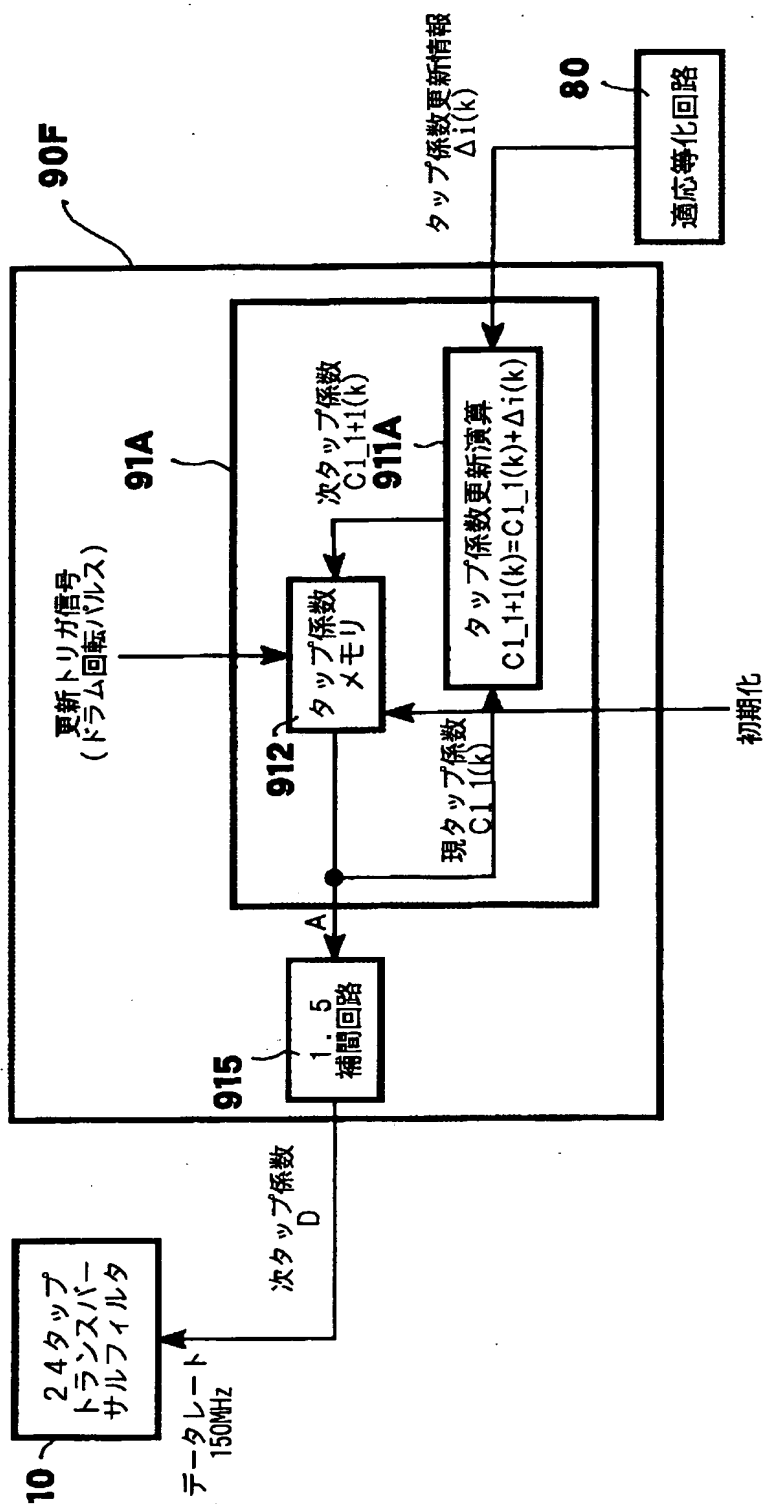
【図 62】



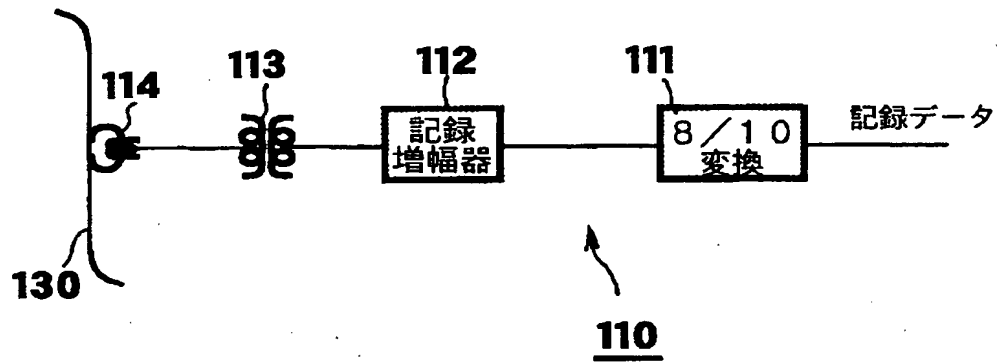
【图 6 3】



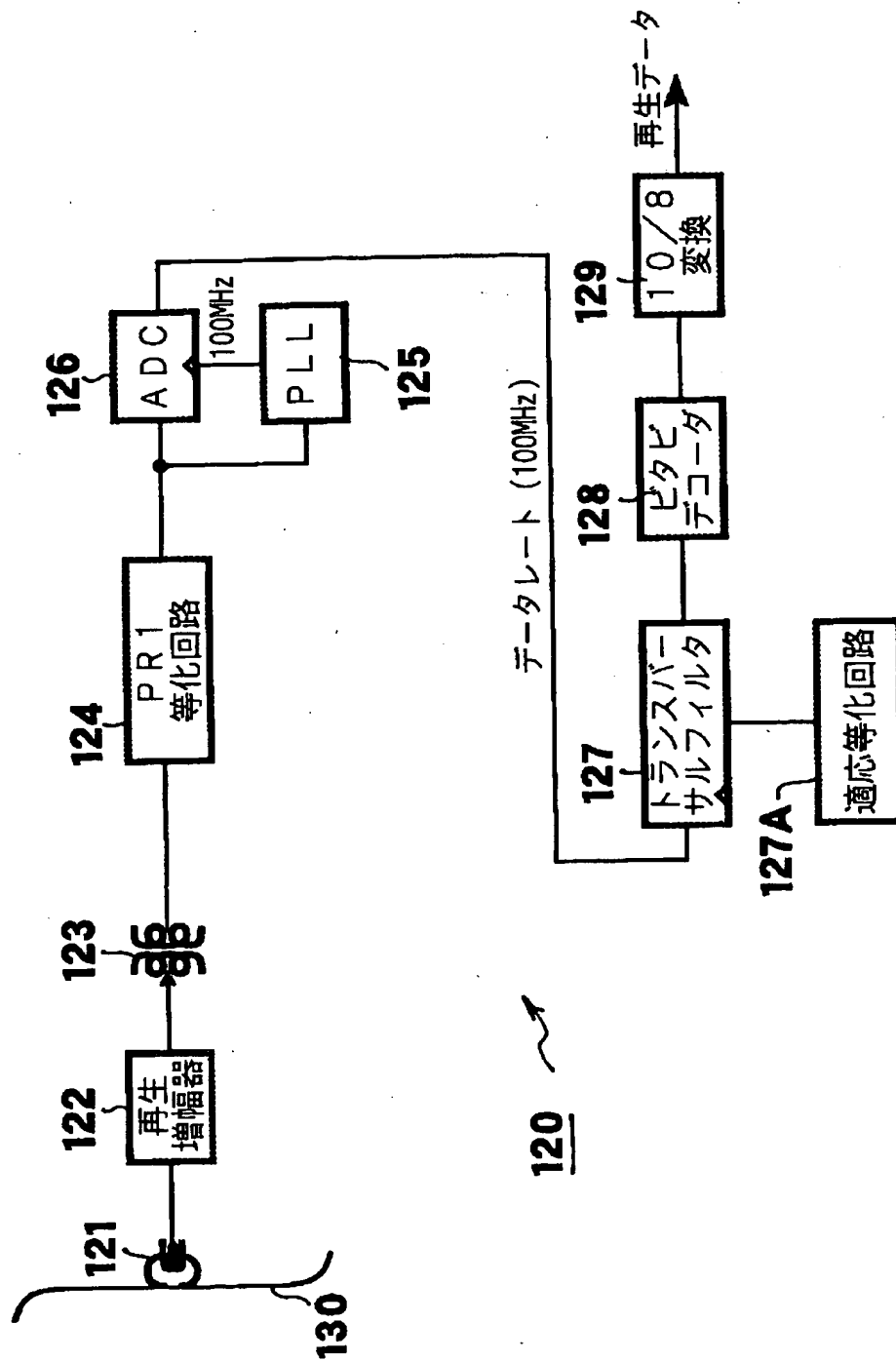
【図 64】



【図 6 5】

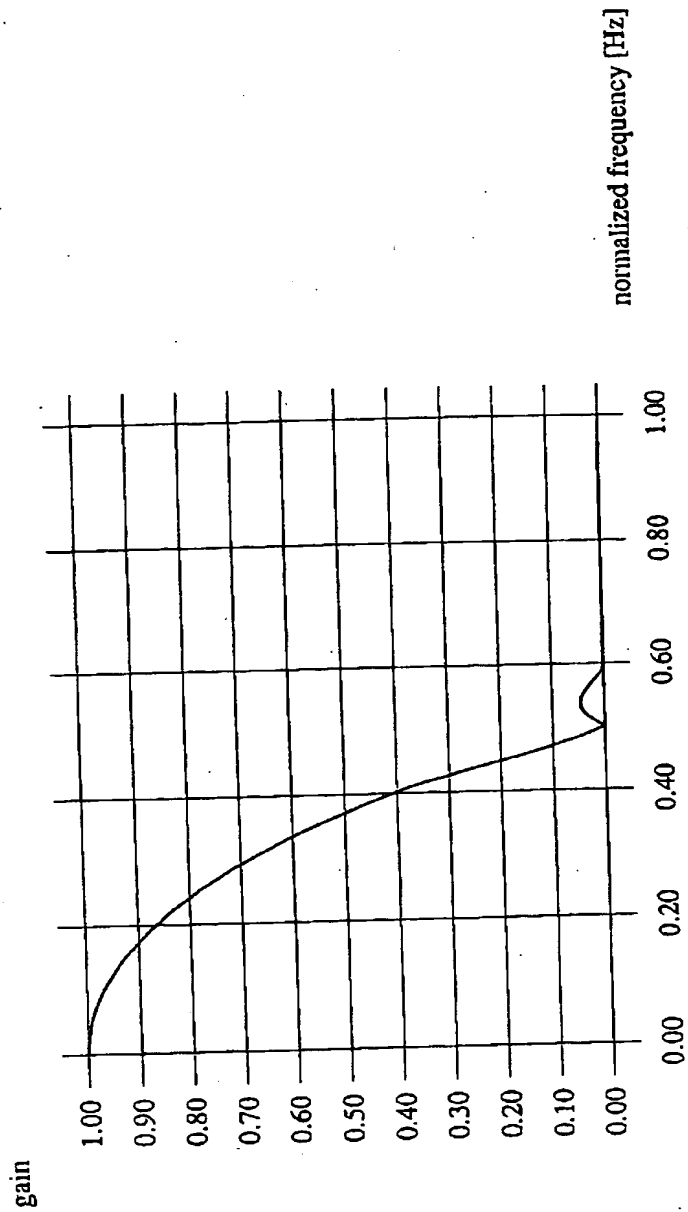


【図 66】

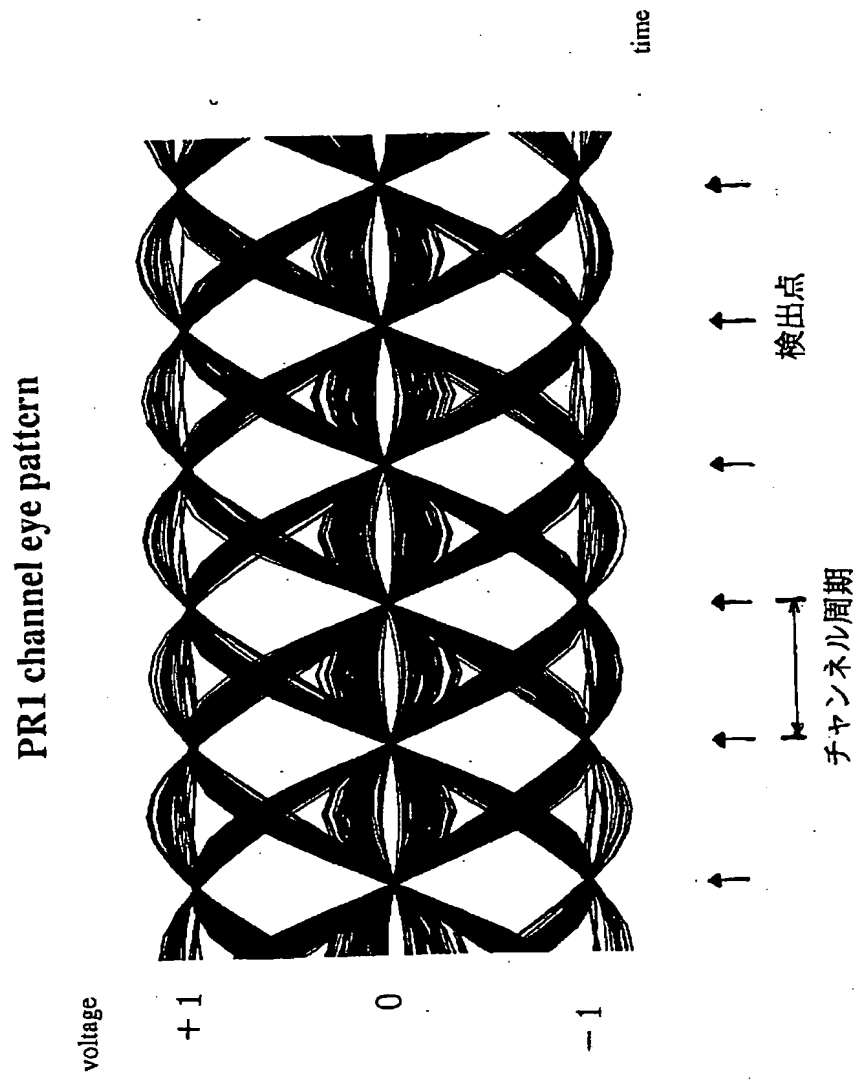


【図 6 7】

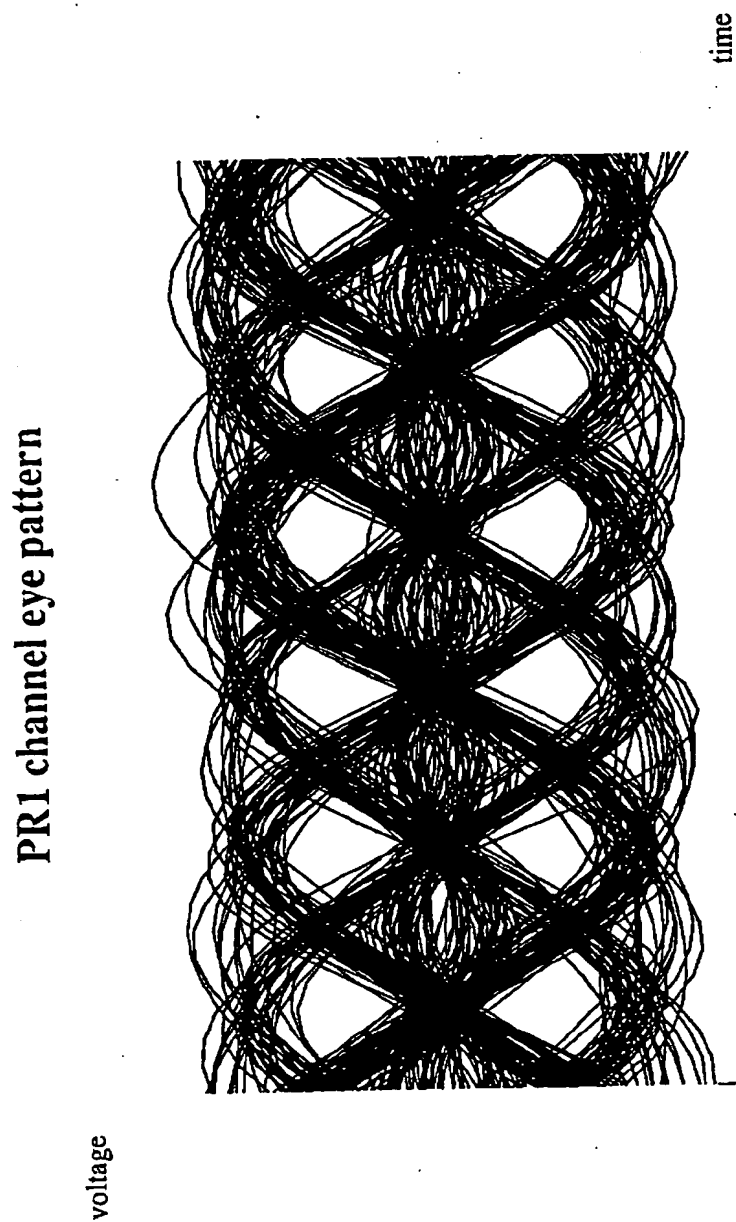
PR1 channel characteristics



【図 68】



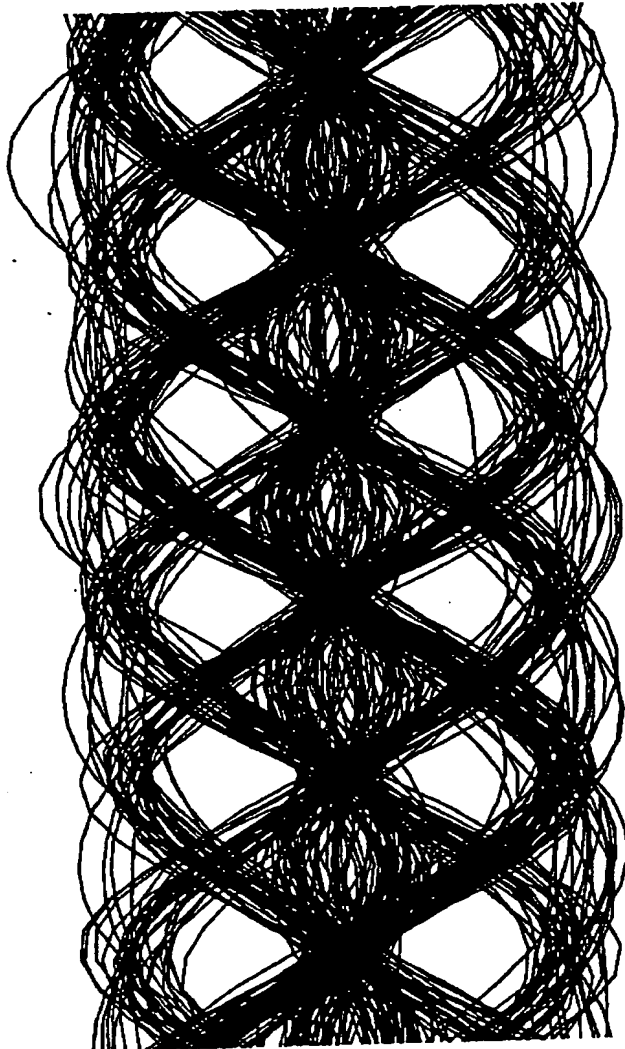
【図 6 9】



【図 70】

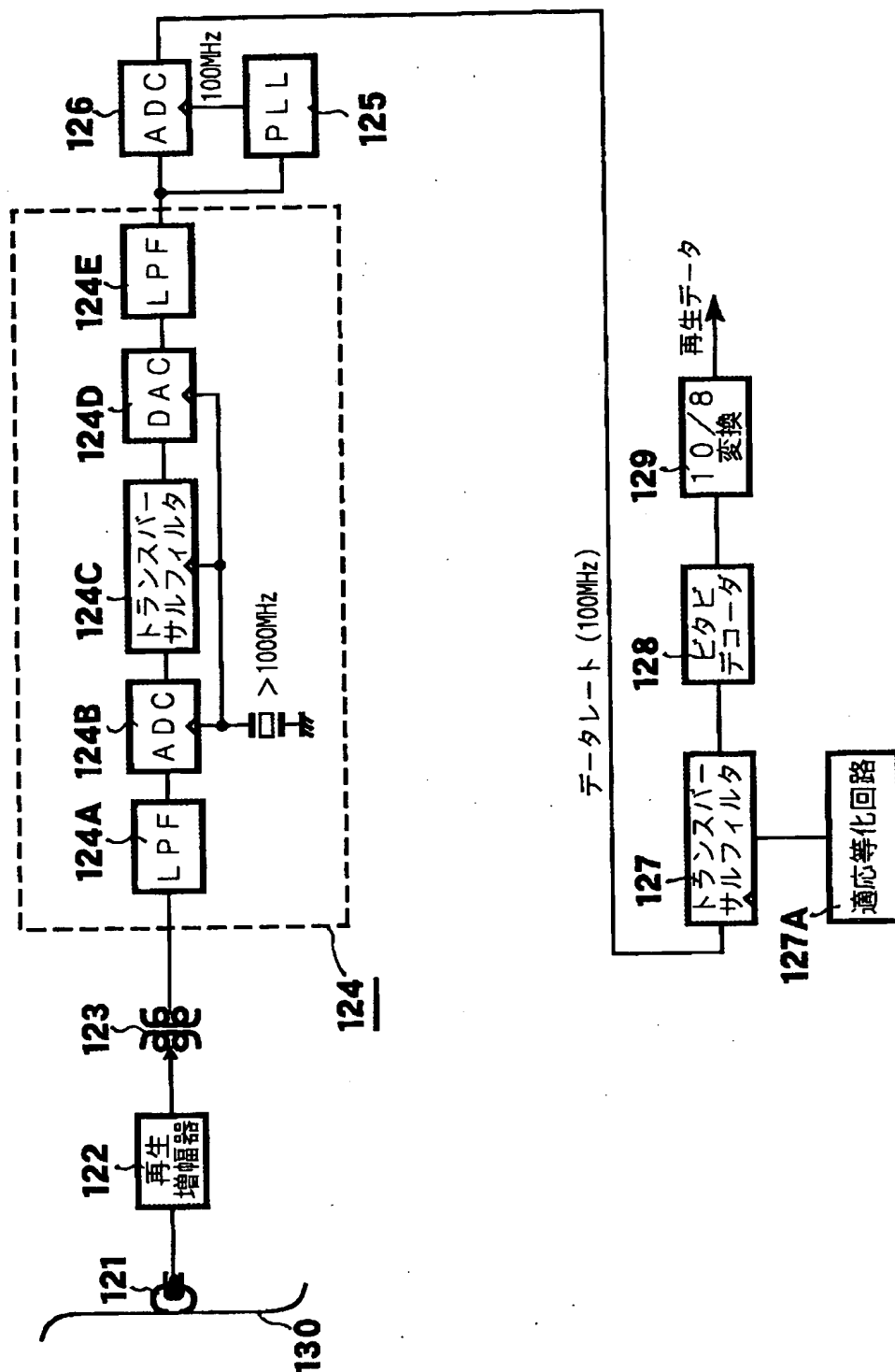
PR1 channel eye pattern

voltage

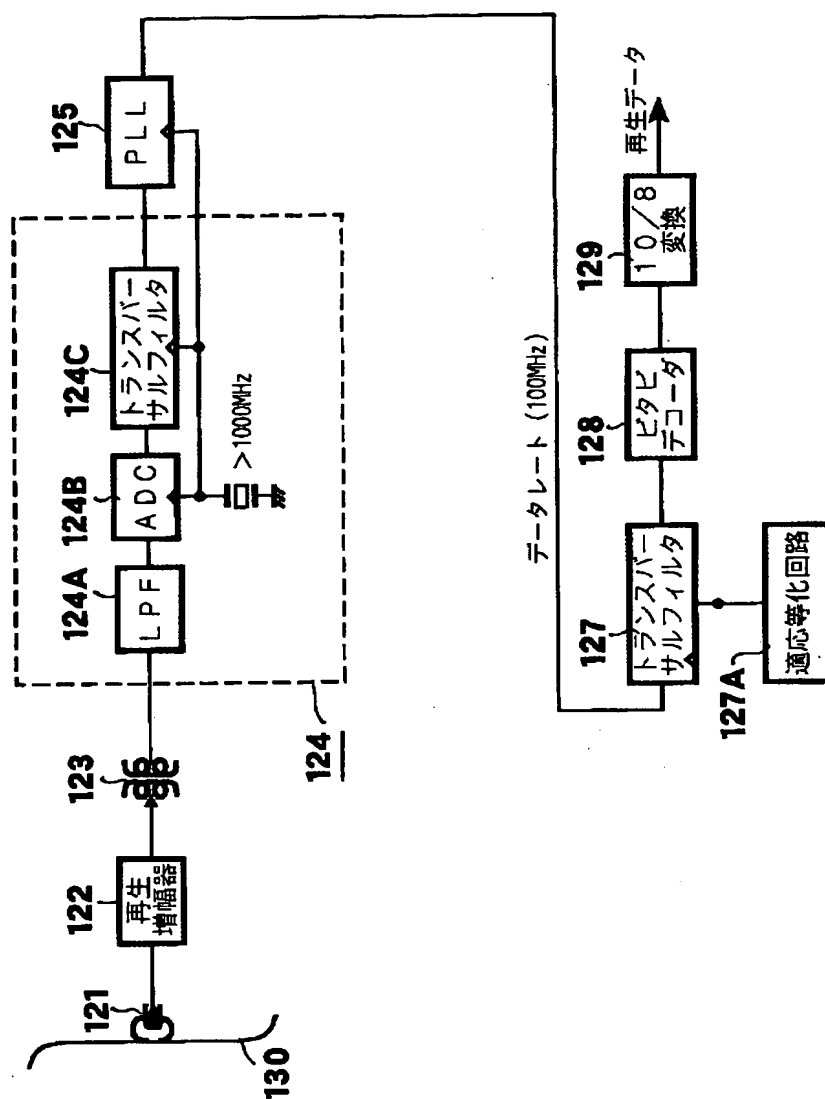


time

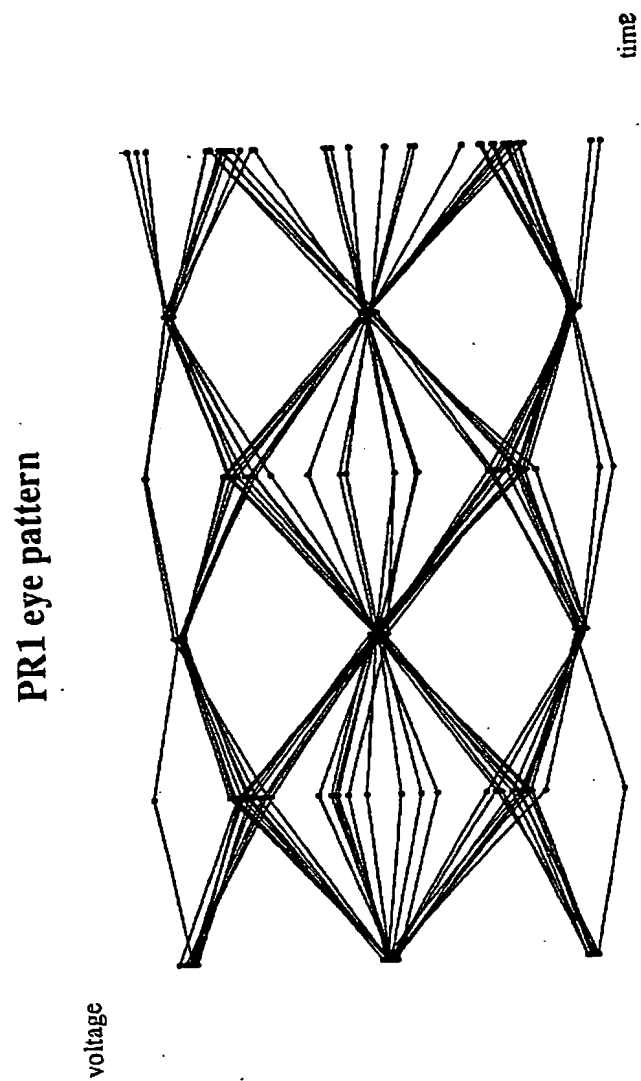
【図 71】



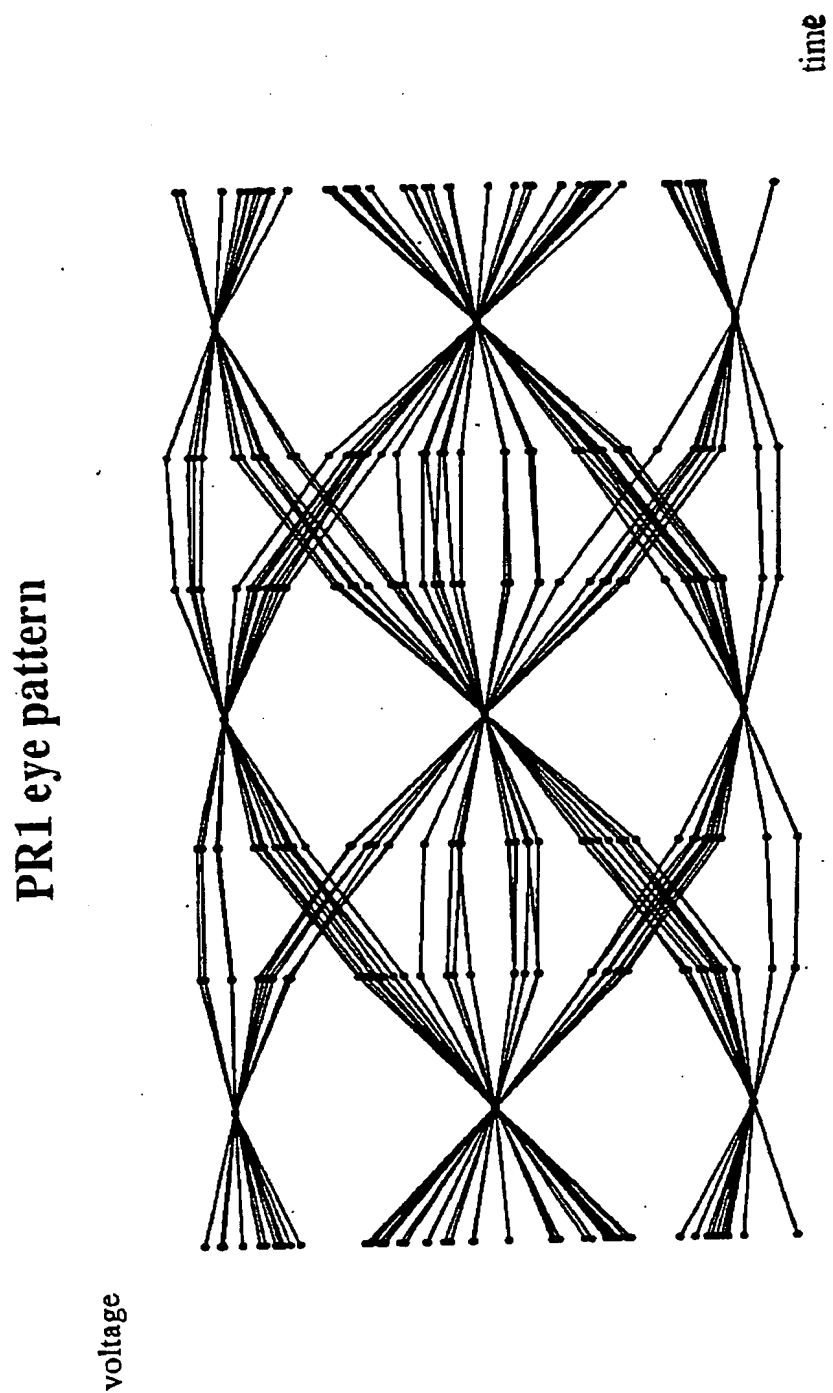
【図 7 2】



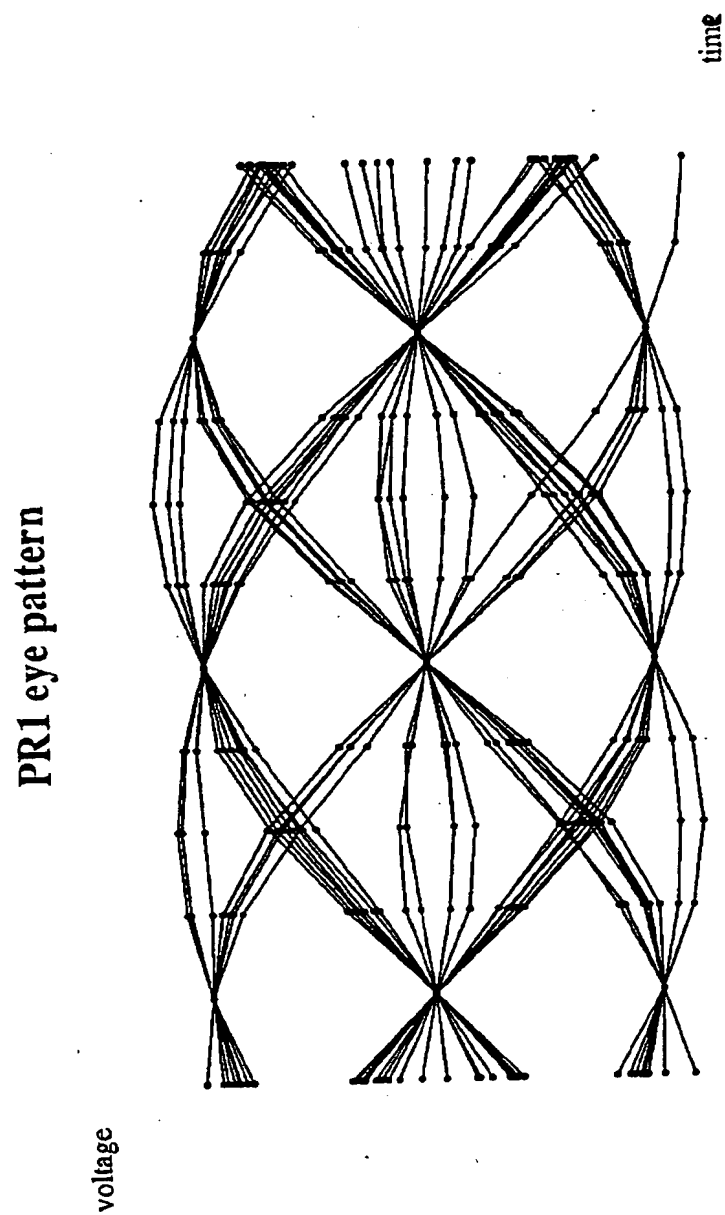
【図 73】



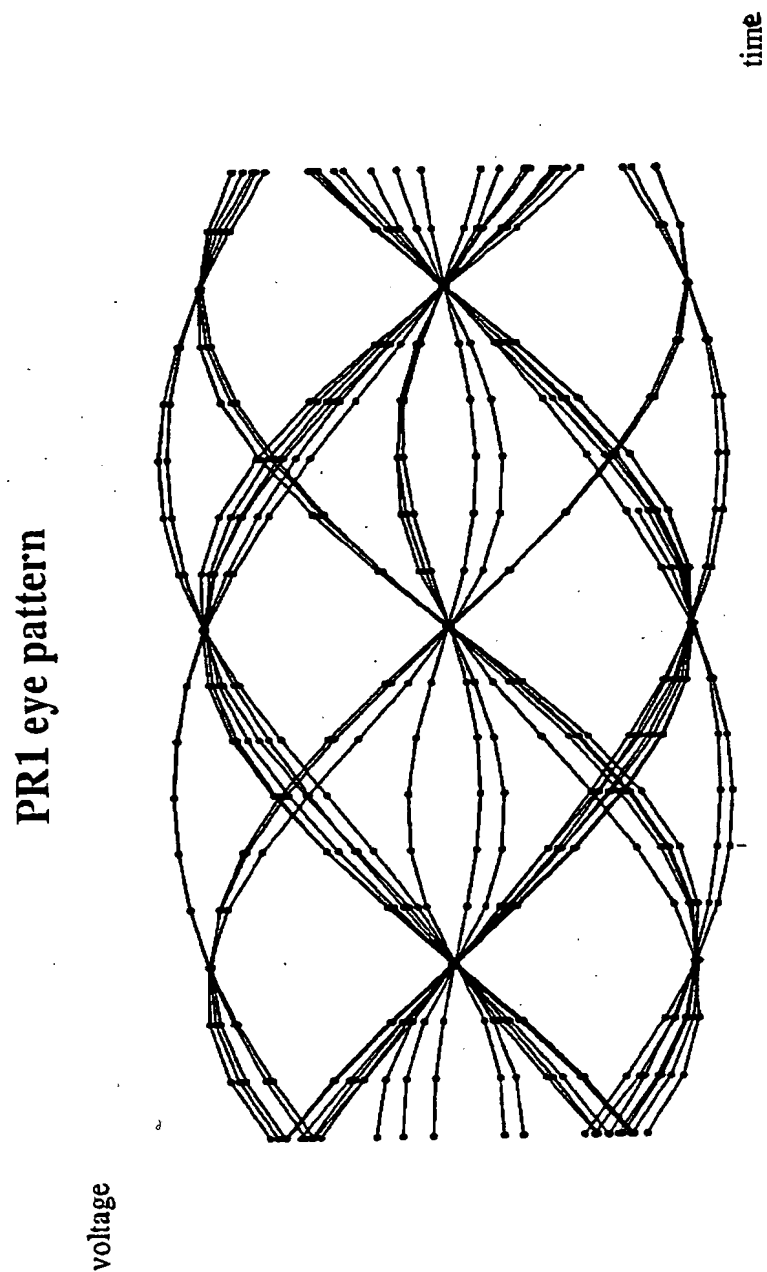
【図 74】



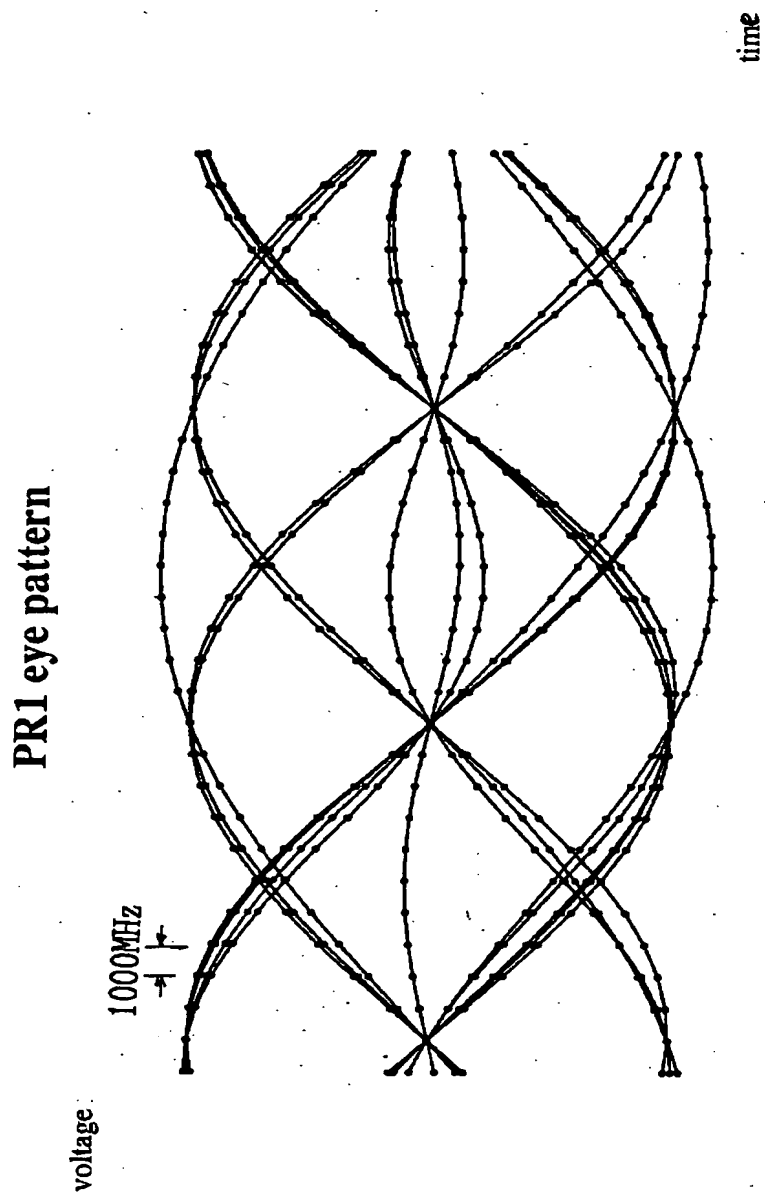
【図 7 5】



【図 7 6】



【図 77】



【書類名】 要約書

【要約】

【課題】 PLL回路の前後に設けた2つ等化回路により2段階等化を行う信号処理回路における第1の等化回路による等化誤差をミニマイズできるようにする。

【解決手段】 再生信号をデジタル化した再生データが第1の等化回路10を介して入力されるフェーズロックドループ(PLL:Phase Locked Loop)回路30を備える信号処理回路100において、上記第1の等化回路10をトランスバーサルフィルタ13にて構成する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都品川区北品川6丁目7番35号
氏 名 ソニー株式会社